

Docket No. 199143US2SRD/vdm

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shoji OTAKA, et al.

SERIAL NO: 09/696,972

FILED: October 27, 2000

FOR: VARIABLE GAIN CIRCUIT

GAU: 2816

EXAMINER:



REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	11-306798	October 28, 1999
JAPAN	2000-284708	September 20, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913

Joseph A. Scafetta, Jr.
Registration No. 26,803



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

RECEIVED
JAN 22 2001
2800 MAIL ROOM

2816
#10
D. Scot
2-3-01
#2

09/696,972

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 9月20日

出 願 番 号
Application Number:

特願2000-284708

出 願 人
Applicant(s):

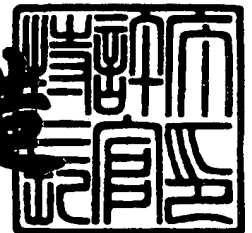
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年10月20日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 13B0070011

【あて先】 特許庁長官殿

【国際特許分類】 H03F 1/10

【発明の名称】 可変利得回路

【請求項の数】 8

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
研究開発センター内

【氏名】 大高 章二

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
研究開発センター内

【氏名】 渡辺 理

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【先の出願に基づく優先権主張】

【出願番号】 平成11年特許願第306798号

【出願日】 平成11年10月28日

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006184

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 可変利得回路

【特許請求の範囲】

【請求項 1】

入力信号を入力し、増幅された増幅信号を出力し、かつ第 1 電界効果トランジスタを含む第 1 可変利得増幅器(101)と、

前記増幅信号を入力し、増幅された出力信号を出力し、かつ第 2 電界効果トランジスタを含む第 2 可変利得増幅器(102)と、

外部から供給される外部利得制御信号(V_C)に基づいて、前記第 1 可変利得増幅器(101)の利得を制御する第 1 利得制御信号(V_{z1})を出力し、かつ、第 3 電界効果トランジスタを含む第 1 利得制御信号補正回路(102)と、

外部から供給される前記外部利得制御信号(V_C)に基づいて、前記第 2 可変利得増幅器(102)の利得を制御する第 2 利得制御信号(V_{z2})を出力する第 2 利得制御信号補正回路(202)を備える可変利得回路。

【請求項 2】

入力信号を入力し、増幅された増幅信号を出力し、かつ第 1 電界効果トランジスタを含む第 1 可変利得増幅器(101)と、

前記増幅信号を入力し、増幅された出力信号を出力し、かつ第 2 電界効果トランジスタを含む第 2 可変利得増幅器(102)と、

外部から供給される外部利得制御信号(V_C)に基づいて、前記第 1 可変利得増幅器(101)の利得を制御する第 1 利得制御信号(V_{z1})を出力し、かつ、第 3 電界効果トランジスタを含む第 1 利得制御信号補正回路(102)と、

前記第 1 利得制御信号(V_{z1})を入力し、前記第 2 可変利得増幅器(102)の利得を制御する第 2 利得制御信号(V_{z2})を出力する第 4 利得制御信号補正回路(212)を備える可変利得回路。

【請求項 3】

入力信号を入力し、増幅された増幅信号を出力し、かつ第 1 電界効果トランジスタを含む第 1 可変利得増幅器(101)と、

前記増幅信号を入力し、増幅された出力信号を出力し、かつ第 2 電界効果トラン

ンジスタを含む第 2 可変利得増幅器(102)と、

前記第 1 可変利得増幅器(101)の利得を制御する第 1 利得制御信号(V_{z1})を出力し、かつ、第 3 電界効果トランジスタを含む第 1 利得制御信号補正回路(102)と

、
前記第 2 可変利得増幅器(102)の利得を制御する第 2 利得制御信号(V_{z2})を出力する第 2 利得制御信号補正回路(202)と、

外部から供給される外部利得制御信号(V_C)を入力し、前記外部利得制御信号(V_C)を内部利得制御信号(V_x)に変換し、前記内部利得制御信号(V_x)を前記第 1 利得制御信号補正回路(102)及び前記第 2 利得制御信号補正回路(202)に出力する第 3 利得制御信号補正回路(300)を備える可変利得回路。

【請求項 4】

入力信号を入力し、増幅された増幅信号を出力し、かつ第 1 電界効果トランジスタを含む第 1 可変利得増幅器(101)と、

前記増幅信号を入力し、増幅された出力信号を出力し、かつ第 2 電界効果トランジスタを含む第 2 可変利得増幅器(102)と、

前記第 1 可変利得増幅器(101)の利得を制御する第 1 利得制御信号(V_{z1})を出力し、かつ、第 3 電界効果トランジスタを含む第 1 利得制御信号補正回路(102)と

、
前記第 1 利得制御信号(V_{z1})を入力し、前記第 2 可変利得増幅器(102)の利得を制御する第 2 利得制御信号(V_{z2})を出力する第 4 利得制御信号補正回路(212)と、

外部から供給される外部利得制御信号(V_C)を入力し、前記外部利得制御信号(V_C)を内部利得制御信号(V_x)に変換し、前記内部利得制御信号(V_x)を前記第 1 利得制御信号補正回路(102)に出力する第 3 利得制御信号補正回路(300)を備える可変利得回路。

【請求項 5】

前記第 4 利得制御信号補正回路(212)及び前記前記第 2 可変利得増幅器(201)は、前記第 1 可変利得増幅器(101)の前記第 1 電界効果トランジスタ及び前記第 1 利得制御信号補正回路(102)の前記第 3 電界効果トランジスタが 2 乗特性を有する強反転状態で動作するために生じる利得偏差を補正し、

前記第 3 利得制御信号補正回路(300)は、前記第 1 可変利得増幅器(101)の前記第 1 電界効果トランジスタ及び前記第 1 利得制御信号補正回路(102)の前記第 3 電界効果トランジスタが指数関数特性を有する弱反転状態で動作するために生じる利得偏差を補正することを特徴とする請求項 4 記載の可変利得回路。

【請求項 6】

前記第 1 可変利得増幅器(101)の前記第 1 電界効果トランジスタが第 1 - 1 電界効果トランジスタ(M_{10})と第 1 - 2 電界効果トランジスタ(M_{11})の 2 つである場合、

前記第 1 - 1 電界効果トランジスタ(M_{10})のゲート端子と前記第 1 - 2 電界効果トランジスタ(M_{11})のゲート端子との間に前記第 1 利得制御信号(V_{Z1})が入力され、

前記第 1 - 1 電界効果トランジスタ(M_{10})のソース端子と前記第 1 - 2 電界効果トランジスタ(M_{11})のソース端子は共通接続され、前記入力信号を含む第 1 電流源(I_{sig1})を介して接地され、

前記第 2 可変利得増幅器(201)の前記第 2 電界効果トランジスタが第 2 - 1 電界効果トランジスタ(M_{20})と第 2 - 2 電界効果トランジスタ(M_{21})の 2 つである場合、

前記第 2 - 1 電界効果トランジスタ(M_{20})のゲート端子と前記第 2 - 2 電界効果トランジスタ(M_{21})のゲート端子との間に前記第 2 利得制御信号(V_{Z2})が入力され、

前記第 2 - 1 電界効果トランジスタ(M_{20})のソース端子と前記第 2 - 2 電界効果トランジスタ(M_{21})のソース端子は前記増幅信号を含む第 2 電流源(I_{sig3})を介して接地されることを特徴とする請求項 4 記載の可変利得回路。

【請求項 7】

前記第 1 利得制御信号変換回路(102)の前記第 3 電界効果トランジスタが第 3 - 1 電界効果トランジスタ(M_1)と第 3 - 2 電界効果トランジスタ(M_2)の 2 つである場合、

前記第 3 - 1 電界効果トランジスタ(M_1)のドレイン端子は前記第 3 - 1 電界効果トランジスタ(M_1)のゲート端子と接続されると共に、前記内部利得制御信号(V

x)に対応した電流信号(I_{D1})が入力され、

前記第3-1電界効果トランジスタ(M_1)のソース端子は前記第3-2電界効果トランジスタ(M_2)と共通接続されると共に、所定の電流 I_0 を有する電流源を介して接地され、

前記第3-2電界効果トランジスタ(M_2)のゲート端子は所定の電圧源(V_{BB1})に接続され、

前記第3-1電界効果トランジスタ(M_1)のゲート端子と前記第3-2電界効果トランジスタ(M_2)のゲート端子との間の電圧が前記第1利得制御信号(V_{Z1})とされ、

前記電流信号(I_{D1})が $I_0 \cdot \exp(-b \cdot V_x)$ (b は定数)で表されることを特徴とする請求項4記載の可変利得回路。

【請求項8】

前記第4利得制御信号変換回路(212)は、電圧電流変換回路(400)と第5利得制御信号変換回路(112)を含むことを特徴とする請求項4記載の可変利得回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、携帯無線機等に用いられ、利得制御信号に対してデシベル(dB)表示した利得を直線的に可変させる可変利得回路に関する。

【0002】

【従来の技術】

近年、携帯電話機に代表される移動通信機器の開発が盛んに行われている。これらの通信機器は、例えば人間が所持したり、自動車などに搭載されて使用されるため、小型化、軽量化が要求されている。このため、このような無線機器を構成する部品は、従来の構成部品単体を多数接続したハイブリッドの構成よりも、小型化、軽量化に向くモノリシックIC(Integrated Circuit, 集積回路)化が強く望まれるようになってきた。一方、部品の小型化の他に無線機の低価格化が要求されており、IC化技術は無線機の低価格化の面でも有効な技術である。

【0003】

また、近年開発が盛んになってきたCDMA (Code Division multiple access, 符号分割多元接続) 無線機は、送信電力制御が必須であるため、場合によっては送信IF (中間周波数) 段可変利得回路は70dB以上の信号レベル制御を行うことが求められるようになってきた。一般にこのような大きな利得制御を行うためには、利得制御信号に対してデシベル表示した利得を直線的に調節することが求められる。これは利得制御を容易に行うためである。

【0004】

図14は、従来のバイポーラトランジスタを用いた可変利得回路の回路図を示す。この可変利得回路は可変利得増幅器(Variable Gain Amplifier)1と利得制御信号補正回路(Control Signal Converter)2で構成されている。バイポーラトランジスタ Q_1, Q_2 は差動ペアを構成し、共通エミッタ端子にIF信号(入力電流 I_{sig})が入力される。出力電流 I_a はバイポーラトランジスタ Q_1 のコレクタ端子から取り出される。入力電流 I_{sig} から出力電流 I_a を生成するためには、利得制御信号 V_{z1} をバイポーラトランジスタ Q_1, Q_2 のベース端子間に入力すればよい。尚、図中の矢印は、電流の向きを表している。

【0005】

バイポーラトランジスタ Q_2 のコレクタに流れる電流 $I_{sig} - I_a$ は不要電流とされ、電源等(不図示)に流れるように設計される。この場合、 I_{sig} から I_a への伝達関数は以下の式(1)で表される。

【0006】

【数1】

$$\frac{I_a}{I_{sig}} = \frac{1}{1 + \exp\left(\frac{V_{z1}}{V_T}\right)} \quad (1)$$

【0007】

ここで V_T は熱電圧であり、常温で約26mVである。

【0008】

式(1)から $1 \ll \exp(V_{z1}/V_T)$ の条件では、 $I_a/I_{sig} = 1/\exp(V_{z1}/V_T)$ と近似でき

、利得制御信号 V_{z1} を大きくすると、利得 (I_a/I_{sig}) は指数関数的に減少することがわかる。

【0009】

しかし、上記仮定 ($1 \ll \exp(V_{z1}/V_T)$) が成り立たない場合、例えば V_{z1} が0 V以下では利得制御信号 V_{z1} と利得 (I_a/I_{sig}) の関係は指数関数の関係ではなくなる。つまり、利得制御信号 V_{z1} に対して $1 \ll \exp(V_{z1}/V_T)$ の仮定が成り立たなくなると、デシベル表示した利得 (I_a/I_{sig}) と利得制御信号 V_{z1} の関係が線形ではなくなってしまう。このため、バイポーラトランジスタ Q_{10} 及び Q_{11} 、電流源 I_o 、電圧源 V_{BB} 、利得補正を行うための利得制御電流源 $I_1 = I_o \cdot \exp(-b \cdot V_x)$ で構成される利得制御信号補正回路2を用いて、内部利得制御信号 V_x に対して、利得 (I_a/I_{sig}) が指数関数的に減少するようにした可変利得回路が提案されている(先願明細書である特願平10-370290号(特開平2000-196386号公報)を参照)。この利得制御信号補正回路2を用いる場合、利得制御信号 V_x と利得 (I_a/I_{sig}) は以下の式で表される。

【0010】

【数2】

$$\frac{I_a}{I_{sig}} = \exp(-b \cdot V_x) \quad (2)$$

【0011】

ここで、 b は定数で、例えば2～4である。

【0012】

図15(a)は、従来のバイポーラトランジスタを用いた可変利得回路のブロック図であり、図15(b)は可変利得回路の外部から供給された外部利得制御信号 V_C と電圧利得 $GAIN(V_{OUT}/V_{IN})$ (dB)の関係を示すグラフである。尚、“(dB)”はデシベル表示した利得を表し、以下同様とする。ここで、外部利得制御信号 V_C は内部利得制御信号 V_x と等しいものであり、 $I_{sig} = g \cdot V_{IN}$ 、 $I_a = g \cdot V_{OUT}$ であり、 g はコンダクタンスで例えば0.1(A/V)である。

【0013】

図 1 5 (a) のブロック構成を用いることで、内部利得制御信号 V_x と利得 (I_a/I_{sig}) は指数関数の関係になる。しかしながら、この関係が成立するのは、バイポーラトランジスタを用いた場合に限られる。

【 0 0 1 4 】

つまり、電界効果トランジスタ (Field Effect Transistor, FET) を用いて、図 1 4 の可変利得回路を構成した場合、内部利得制御信号 V_x と利得 (I_a/I_{sig}) の関係が指数関数ではなくなるという問題が起きる。以下この問題を詳細に説明する。

【 0 0 1 5 】

また、以下に示す FET は断わりのない限り、N 型 (N チャネル) MOS トランジスタ (MOS-FET; Metal Oxide Semiconductor -FET) を示すものである。

【 0 0 1 6 】

図 1 6 は、FET を MOS-FET と仮定し、MOS-FET を用いて図 1 4 の可変利得回路を示す。ここで、 I_{D1} は内部利得制御信号 V_x を用いて、以下の式で表されものとする。

【 0 0 1 7 】

【数 3】

$$I_{D1} = I_o \cdot \exp (-b \cdot V_x) \quad (3)$$

【 0 0 1 8 】

ここで、 I_o は定電流源の電流値、 b は定数を表す。また、本図において、 $I_{D2} = I_o - I_{D1}$ の関係が成り立つものである。

【 0 0 1 9 】

本回路において、可変利得増幅器 11 の電流利得 $G_{MOS} (=I_{out1}/I_{sig1})$ は以下の式で表される。

【 0 0 2 0 】

【数 4】

$$G_{MOS} = \frac{gm_{11}}{gm_{11} + gm_{10}} \quad (4)$$

【0 0 2 1】

ここで gm_{10}, gm_{11} はそれぞれMOSトランジスタ M_{10}, M_{11} の相互コンダクタンスを表す。 M_{10}, M_{11} はトランジスタが強反転状態時の特性である2乗特性を示すと仮定すると、それぞれの電流 I_{D10}, I_{D11} とゲート電圧 V_{GS10}, V_{GS11} の関係は以下の式で表される。

【0 0 2 2】

【数 5】

$$I_{D11} = \beta (V_{GS10} - V_{TH})^2 \quad (5)$$

$$I_{D11} = \beta (V_{GS11} - V_{TH})^2 \quad (6)$$

【0 0 2 3】

ここで、 β は $\mu \cdot C_{ox} \cdot W / (2L)$ であり、 μ はキャリアの移動度、 C_{ox} は単位面積当たりの酸化膜静電容量、 W はチャネル幅、 L はチャネル長である。 V_{TH} はしきい値電圧を表す。式(4)、(5)、(6)から G_{MOS} は以下の式となる。

【0 0 2 4】

【数 6】

$$G_{MOS} = \frac{2\sqrt{\beta \cdot I_{D1}}}{2(\sqrt{\beta \cdot I_{D1}} + \sqrt{\beta \cdot I_{D2}})} \quad (7)$$

$$= \sqrt{\frac{I_{D1}}{I_0 + 2\sqrt{I_{D1} \cdot I_{D2}}}} \quad (8)$$

$$= \sqrt{\frac{I_0 \cdot \exp(-b \cdot V_x)}{I_0 + 2\sqrt{I_{D1} \cdot I_{D2}}}} \quad (9)$$

【0 0 2 5】

式(9)から $I_{D1} \gg I_{D2}$ または $I_{D1} \ll I_{D2}$ の場合、分母は I_o と近似できるので、式(10)のように変形できる。

【0 0 2 6】

【数 7】

$$G_{MOS} = \sqrt{\exp(-b \cdot V_x)} \quad (10)$$

【0 0 2 7】

式(10)と式(2)から、MOS-FETを用いた場合の利得(dB)と内部利得制御信号 V_x の関係は、バイポーラトランジスタを用いた場合に比べて、傾きが半分になる直線に漸近することがわかる。

【0 0 2 8】

また、 $I_{D1} = I_{D2} = I_o/2$ の時すなわち $V_{z1} = 0$ のとき、式(9)のルートの中の分母が $2I_o$ となるため、MOS-FETを用いた場合の利得 G_{MOS} (dB)と利得制御信号 V_x による漸近線に対して、利得が3 dB低い値をとることがわかる。

【0 0 2 9】

一方、 $I_{D1} \ll I_{D2}$ の場合、 M_1 、 M_{11} の電流特性は2乗特性から外れて指数関数特性をもつようになる。この特性はトランジスタが弱反転状態時の特性であり、以下の式で近似される。

【0 0 3 0】

【数 8】

$$I_{D1} = A \cdot \exp\{c(V_{GS} - V_{TH1})\} \quad (11)$$

【0 0 3 1】

ここで、 A, c, V_{TH1} は定数であり、 V_{GS} はトランジスタ M_1 のゲート-ソース間電圧である。このときの利得 G_{MOS} は以下の式で近似できる。

【0 0 3 2】

【数 9】

$$G_{\text{MOS}} = \frac{c \cdot I_{D1}}{c \cdot I_{D1} + 2\sqrt{\beta \cdot I_{D2}}} \quad (12)$$

$$\sim \frac{c \cdot I_0 \cdot \exp(-b \cdot V_x)}{2\sqrt{\beta \cdot I_0}} \quad (13)$$

【0033】

ここで、 $c \cdot I_{D1} \ll 2\sqrt{\beta \cdot I_{D2}}$ 及び $I_{D2} \sim I_0$ とした。この式から $I_{D1} \ll I_{D2}$ の場合、バイポーラトランジスタによる特性と同じ傾きをもつようになる。

【0034】

上記に示した MOS-FET の 2 つの動作領域を考慮に入れた利得特性は図 17 のようになる。図 17 からわかるように、MOS-FET を用いた場合、外部利得制御信号 $V_C (=V_x)$ に対して利得 (dB) が直線にならない。

【0035】

無線機の利得を制御する場合、デシベル表示した利得 (dB) と外部利得制御信号 V_C の関係が直線近似できることが、制御の容易さから求められる。しかしながら、従来の FET、特に MOS-FET を用いた可変利得回路の特性は、上記に示したように利得 (dB) と外部利得制御信号 V_C の関係は最大利得時まで直線近似できない。線形近似できる範囲で利得を制御することを考えると、最大利得時を使用できないので、利得制御範囲の低下する欠点が生ずる。これに伴い、利得可変増幅器を増加させることが必要となるため、消費電流増大を招くことになる。さらに、一般に増幅器は最大利得時が最も低雑音特性を有するので、雑音特性も劣化してしまう。

【0036】

【発明が解決しようとする課題】

本発明は、外部から供給された利得制御信号に対してデシベル表示した利得を直線的に調節できるような電界効果トランジスタを用いた可変利得回路を提供することである。

【0037】

【課題を解決するための手段】

第 1 の発明は、入力信号を入力し、増幅された増幅信号を出力し、かつ第 1 電界効果トランジスタを含む第 1 可変利得増幅器(101)と、前記増幅信号を入力し、増幅された出力信号を出力し、かつ第 2 電界効果トランジスタを含む第 2 可変利得増幅器(102)と、外部から供給される外部利得制御信号(V_C)に基づいて、前記第 1 可変利得増幅器(101)の利得を制御する第 1 利得制御信号(V_{z1})を出力し、かつ、第 3 電界効果トランジスタを含む第 1 利得制御信号補正回路(102)と、外部から供給される前記外部利得制御信号(V_C)に基づいて、前記第 2 可変利得増幅器(102)の利得を制御する第 2 利得制御信号(V_{z2})を出力する第 2 利得制御信号補正回路(202)を備える可変利得回路である。

【0038】

第 2 の発明は、入力信号を入力し、増幅された増幅信号を出力し、かつ第 1 電界効果トランジスタを含む第 1 可変利得増幅器(101)と、前記増幅信号を入力し、増幅された出力信号を出力し、かつ第 2 電界効果トランジスタを含む第 2 可変利得増幅器(102)と、外部から供給される外部利得制御信号(V_C)に基づいて、前記第 1 可変利得増幅器(101)の利得を制御する第 1 利得制御信号(V_{z1})を出力し、かつ、第 3 電界効果トランジスタを含む第 1 利得制御信号補正回路(102)と、前記第 1 利得制御信号(V_{z1})を入力し、前記第 2 可変利得増幅器(102)の利得を制御する第 2 利得制御信号(V_{z2})を出力する第 4 利得制御信号補正回路(212)を備える可変利得回路である。

【0039】

第 3 の発明は、入力信号を入力し、増幅された増幅信号を出力し、かつ第 1 電界効果トランジスタを含む第 1 可変利得増幅器(101)と、前記増幅信号を入力し、増幅された出力信号を出力し、かつ第 2 電界効果トランジスタを含む第 2 可変利得増幅器(102)と、前記第 1 可変利得増幅器(101)の利得を制御する第 1 利得制御信号(V_{z1})を出力し、かつ、第 3 電界効果トランジスタを含む第 1 利得制御信号補正回路(102)と、前記第 2 可変利得増幅器(102)の利得を制御する第 2 利得制御信号(V_{z2})を出力する第 2 利得制御信号補正回路(202)と、外部から供給される外部利得制御信号(V_C)を入力し、前記外部利得制御信号(V_C)を内部利得制御信号

(V_x)に変換し、前記内部利得制御信号(V_x)を前記第1利得制御信号補正回路(102)及び前記第2利得制御信号補正回路(202)に出力する第3利得制御信号補正回路(300)を備える可変利得回路である。

【0040】

第4の発明は、入力信号を入力し、増幅された増幅信号を出力し、かつ第1電界効果トランジスタを含む第1可変利得増幅器(101)と、前記増幅信号を入力し、増幅された出力信号を出力し、かつ第2電界効果トランジスタを含む第2可変利得増幅器(102)と、前記第1可変利得増幅器(101)の利得を制御する第1利得制御信号(V_{z1})を出力し、かつ、第3電界効果トランジスタを含む第1利得制御信号補正回路(102)と、前記第1利得制御信号(V_{z1})を入力し、前記第2可変利得増幅器(102)の利得を制御する第2利得制御信号(V_{z2})を出力する第4利得制御信号補正回路(212)と、外部から供給される外部利得制御信号(V_C)を入力し、前記外部利得制御信号(V_C)を内部利得制御信号(V_x)に変換し、前記内部利得制御信号(V_x)を前記第1利得制御信号補正回路(102)に出力する第3利得制御信号補正回路(300)を備える可変利得回路である。

【0041】

第5の発明は、前記第4利得制御信号補正回路(212)及び前記前記第2可変利得増幅器(201)は、前記第1可変利得増幅器(101)の前記第1電界効果トランジスタ及び前記第1利得制御信号補正回路(102)の前記第3電界効果トランジスタが2乗特性を有する強反転状態で動作するために生じる利得偏差を補正し、前記第3利得制御信号補正回路(300)は、前記第1可変利得増幅器(101)の前記第1電界効果トランジスタ及び前記第1利得制御信号補正回路(102)の前記第3電界効果トランジスタが指数関数特性を有する弱反転状態で動作するために生じる利得偏差を補正することを特徴とする第4の発明記載の可変利得回路である。

【0042】

第6の発明は、前記第1可変利得増幅器(101)の前記第1電界効果トランジスタが第1-1電界効果トランジスタ(M_{10})と第1-2電界効果トランジスタ(M_{11})の2つである場合、前記第1-1電界効果トランジスタ(M_{10})のゲート端子と前記第1-2電界効果トランジスタ(M_{11})のゲート端子との間に前記第1利得制御

信号(V_{Z1})が入力され、前記第 1 - 1 電界効果トランジスタ(M_{10})のソース端子と前記第 1 - 2 電界効果トランジスタ(M_{11})のソース端子は共通接続され、前記入力信号を含む第 1 電流源(I_{sig1})を介して接地され、前記第 2 可変利得増幅器(201)の前記第 2 電界効果トランジスタが第 2 - 1 電界効果トランジスタ(M_{20})と第 2 - 2 電界効果トランジスタ(M_{21})の 2 つである場合、前記第 2 - 1 電界効果トランジスタ(M_{20})のゲート端子と前記第 2 - 2 電界効果トランジスタ(M_{21})のゲート端子との間に前記第 2 利得制御信号(V_{Z2})が入力され、前記第 2 - 1 電界効果トランジスタ(M_{20})のソース端子と前記第 2 - 2 電界効果トランジスタ(M_{21})のソース端子は前記増幅信号を含む第 2 電流源(I_{sig3})を介して接地されることを特徴とする第 4 の発明記載の可変利得回路である。

【 0 0 4 3 】

第 7 の発明は、前記第 1 利得制御信号変換回路(102)の前記第 3 電界効果トランジスタが第 3 - 1 電界効果トランジスタ(M_1)と第 3 - 2 電界効果トランジスタ(M_2)の 2 つである場合、前記第 3 - 1 電界効果トランジスタ(M_1)のドレイン端子は前記第 3 - 1 電界効果トランジスタ(M_1)のゲート端子と接続されると共に、前記内部利得制御信号(V_x)に対応した電流信号(I_{D1})が入力され、前記第 3 - 1 電界効果トランジスタ(M_1)のソース端子は前記第 3 - 2 電界効果トランジスタ(M_2)と共通接続されると共に、所定の電流 I_0 を有する電流源を介して接地され、前記第 3 - 2 電界効果トランジスタ(M_2)のゲート端子は所定の電圧源(V_{BB1})に接続され、前記第 3 - 1 電界効果トランジスタ(M_1)のゲート端子と前記第 3 - 2 電界効果トランジスタ(M_2)のゲート端子との間の電圧が前記第 1 利得制御信号(V_{Z1})とされ、前記電流信号(I_{D1})が $I_0 \cdot \exp(-b \cdot V_x)$ (b は定数)で表されることを特徴とする第 4 の発明記載の可変利得回路である。

【 0 0 4 4 】

第 8 の発明は、前記第 4 利得制御信号変換回路(212)は、電圧電流変換回路(400)と第 5 利得制御信号変換回路(112)を含むことを特徴とする第 4 の発明記載の可変利得回路である。

【 0 0 4 5 】

次に、本発明の具体的な回路構成について説明する。

【 0 0 4 6 】

可変利得回路の外部から供給された外部利得制御信号 V_C が、0 Vから所定の電圧 V_{C1} まで変わる時の利得を $a+b$ とし、 V_{C1} 以上の利得を a とする第3利得制御信号補正回路300を介して内部利得制御信号 V_x に変換され、さらに内部利得制御信号 V_x は利得制御電流 $I_{D1} = \exp(-b \cdot V_x)$ に変換される。ただし、 b は正の定数とする。

【 0 0 4 7 】

差動ペアMOSトランジスタの共通ソース端子に直流電流 I_0 を入力する。差動ペアMOSトランジスタの一方はドレイン端子とゲート端子を接続し、そのドレイン端子に利得制御電流 I_{D1} を入力し、他方のMOSトランジスタのゲート端子は適当な直流レベルに固定し、ドレイン端子は電源端子に接続し、上記差動ペアトランジスタのゲート端子間電圧である利得制御信号 V_{z1} を出力とする第1利得制御信号補正回路102と備える。

【 0 0 4 8 】

共通ソース端子に所望信号電流を入力した差動ペアトランジスタからなる第1可変利得増幅器101を用意し、第1可変利得増幅器101のゲート間電圧には上記利得制御信号 V_{z1} が与えられる。第1可変利得増幅器101の出力電流は後段の第2可変利得増幅器201の入力電流とされ、第2可変利得増幅器201は第1可変利得増幅器101と同様な回路で構成されることを特徴とする。

【 0 0 4 9 】

上記利得制御信号 V_{z1} を入力とし、出力電流 I_{z1} が $q \cdot I_0 - m \cdot V_{z1}^2$ となる2乗回路(q, m は定数)と、上記第1利得制御信号補正回路102と同様な回路である第5利得制御信号補正回路112と、を含む第2利得制御信号変換回路202を備え、第2利得制御信号補正回路202は、上記第5利得制御信号補正回路112の利得制御電流 I_A を上記出力電流 I_{z1} と所定の直流電流の和とすることを特徴とし、出力電圧は利得制御信号 V_{z2} とされる。

【 0 0 5 0 】

上記第2可変利得増幅器201のゲート間電圧には第2利得制御信号補正回路202の出力である利得制御信号 V_{z2} が与えられる。

【 0 0 5 1 】

上述した構成の可変利得回路により、外部利得制御信号 V_C に対し、dB表示された利得が直線的に変化することができる。

【 0 0 5 2 】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態について説明する。

【 0 0 5 3 】

図 1 (a)の実線は、従来の技術（図 1 4）で説明したバイポーラトランジスタを用いた利得補正回路付き可変利得回路を、FETに置き換えた場合の回路（図 1 6）の利得(dB)-利得制御信号特性を示す。

【 0 0 5 4 】

本説明においては、FETは最も一般的に使用されるMOS型電界効果トランジスタ(MOS-FET)として説明する。[従来の技術]で述べたように、外部利得制御信号 $V_C = V_{C2}$ のとき、つまり、 $I_{D1} = I_{D2}$ または $V_{z1} = 0$ V (図 1 6)のとき、利得(dB)-利得制御信号特性を直線近似した特性(破線)から、利得が3dB下がる。さらに、 $V_C > V_{C1}$ のとき、つまりMOS-FETが弱反転領域に入ったとき、利得-利得制御信号特性の傾き(一点鎖線の傾き)は $V_C < V_{C1}$ の時の傾きに比べ、式(10)と式(13)から約2倍になる。

【 0 0 5 5 】

本発明は、この特性に新たな利得補正機能を付け加えることにより、 $V_C \geq 0$ の範囲で利得(dB表示)-利得制御信号特性が直線特性を示すようにすることである。以下、この特性をLOG-LINEAR特性(またはlinear-in-dB特性)と呼ぶことにする。LOG-LINEAR特性を得る目的は、可変利得回路の低消費電力化、低雑音性を実現することである。

【 0 0 5 6 】

LOG-LINEAR特性を得るため、本発明は以下に示す二つの利得補正を行う。一つ目は、図 1 (b)に示すように、 $I_{D1} = I_{D2}$ 近傍における利得補正を行うものである。

【 0 0 5 7 】

二つ目はMOS-FETの動作領域が強反転状態から弱反転状態への遷移による利得

偏差を補正するものである。これを図 1 (c) のグラフで示す。ただし、J-FET（接合型電界効果トランジスタ）や MES-FET（ショットキー接合型電界効果トランジスタ）の様な反転層のない FET においては、二つ目の補正は不要である。図 1 (b), (c) の補正を行うことにより、MOS-FET を用いても、LOG-LINEAR 特性が得られる。これを図 1-(d) に示す。

【 0 0 5 8 】

（第 1 の実施形態）図 2 は図 1 で示した利得補正方法を実現する第 1 の実施形態に係る可変利得回路のブロック図である。 V_{IN} 、 V_{OUT} 、 V_C は、それぞれ利得制御される所望信号（被制御信号）の入力端子、所望信号の出力端子、外部利得制御信号入力端子を表す。可変利得回路の外部から供給された外部利得制御信号 V_C は第 3 利得制御信号変換回路 300 を介して、内部利得制御信号 V_x に変換される。その際、図 1 (c) に示すように、外部利得制御信号 V_C が V_{C1} までは利得 $a+b$ で変換され、 V_{C2} 以上は利得 a で変換されるものとする。

【 0 0 5 9 】

内部利得制御信号 V_x は第 1 利得制御信号補正回路 102 及び第 2 利得制御信号補正回路 202 に入力され、それぞれ、第 1 及び第 2 利得制御信号 (V_{z1} , V_{z2}) に変換される。第 1 及び第 2 利得制御信号 (V_{z1} , V_{z2}) は、それぞれ、第 1 及び第 2 可変利得増幅器 (101, 201) の利得制御信号入力端子に入力される。所望信号 V_{IN} は第 1 可変利得増幅器 101 に入力され、利得制御信号 V_{z1} に応じて利得制御される。第 1 可変利得増幅器 101 で利得制御された所望信号（増幅信号）は第 2 可変利得増幅器 201 に入力され、利得制御信号 V_{z2} に応じて利得制御され、出力信号 V_{OUT} として出力される。第 1 及び第 2 利得制御信号補正回路 (102, 202) の入出力特性に関しては、回路構成を含めて、後で説明する。

【 0 0 6 0 】

図 2 における第 2 利得制御信号補正回路 202 及び第 2 可変利得増幅器 201 が、 $I_{D1} = I_{D2}$ 近傍に生じる利得偏差を図 1 (b) に示すように補正する利得偏差補正回路である。

【 0 0 6 1 】

尚、上述したように、J-FET や MES-FET の様な反転層のない FET の場合、図 1 (c)

に示した補正は不要である。したがって、第 3 利得制御信号変換回路 300 も不要であり、第 1 利得制御信号補正回路 102 及び第 2 利得制御信号補正回路 202 に入力される内部利得制御信号 V_x は外部利得制御信号 V_C そのものである。

【 0 0 6 2 】

(第 2 の実施形態) 図 3 は第 2 の実施形態に係る可変利得回路のブロック図である。図 2 と異なる点は第 2 利得制御信号補正回路 202 が第 4 利得制御信号補正回路 212 となり、第 4 利得制御信号補正回路 212 の入力信号は第 1 利得制御信号補正回路 102 の出力信号である利得制御信号 V_{z1} とされる点である。

【 0 0 6 3 】

尚、上述したように、J-FET や MES-FET の様な反転層のない FET の場合、図 1 (c) に示した補正は不要である。したがって、第 3 利得制御信号変換回路 300 も不要であり、第 1 利得制御信号補正回路 102 に入力される内部利得制御信号 V_x は外部利得制御信号 V_C そのものである。

【 0 0 6 4 】

図 3 における第 1 利得制御信号補正回路 102, 第 4 利得制御信号補正回路 212 及び第 2 可変利得増幅器 201 が、 $I_{D1} = I_{D2}$ 近傍に生じる利得偏差を図 1 (b) に示すように補正する利得偏差補正回路である。

【 0 0 6 5 】

図 2 及び図 3 の利得偏差補正回路の利得特性が以下の利得特性 G_{CMP} を有すれば、利得補正が可能であることは、式 (9) を参照すれば明らかである。

【 0 0 6 6 】

【数 1 0】

$$G_{CMP} = \sqrt{\frac{I_0 + 2\sqrt{I_{D1} \cdot I_{D2}}}{I_0}} \quad (14)$$

【 0 0 6 7 】

また、式 (14) の利得特性 G_{CMP} が正確に得られなくとも、式 (14) の近似解をもつ特性をもてば、利得補正は可能である。

【 0 0 6 8 】

これまで説明した第 1 可変利得増幅器 101 は 1 段構成を考慮したものである。
次に、 n 段縦列接続した場合について述べる。第 1 可変利得増幅器 101 を n 段とし、各利得段に第 1 利得制御信号補正回路 102 からの利得制御信号 V_{z1} を与えると仮定すると、第 1 可変利得増幅器 101 の利得 G_{MOSn} は式 (9) の n 倍となるので、 A' を比例定数とすると、以下の式で表される。

【 0 0 6 9 】

【数 1 1】

$$G_{MOSn} = A' \left\{ \frac{I_o \cdot \exp(-b \cdot V_x)}{I_o + 2\sqrt{I_{D1} \cdot I_{D2}}} \right\}^{\frac{n}{2}} \quad (15)$$

【 0 0 7 0 】

ここで I_{D2} は $I_o - I_{D1}$ を表す。

【 0 0 7 1 】

この場合、第 2 可変利得増幅器 201 及び第 2 利得制御信号補正回路 202 (図 2 の場合)、又は第 2 可変利得増幅器 201, 第 4 利得制御信号補正回路 212 及び第 1 利得制御信号補正回路 102 (図 3 の場合) による利得は以下の式で表されれば、利得補正が可能である。

【 0 0 7 2 】

【数 1 2】

$$G_{CMP} = B \left(\frac{I_o + 2\sqrt{I_{D1} \cdot I_{D2}}}{I_o} \right)^{\frac{n}{2}} \quad (16)$$

【 0 0 7 3 】

ここで、 B は比例定数を表す。

【 0 0 7 4 】

また、利得補正のため、第 2 可変利得増幅器 201 の段数は複数段用いても式 (16) を満たす特性を有するのであれば、特に問題はない。

【 0 0 7 5 】

次に、上述した第 1 及び第 2 実施形態の具体的な実施の態様について説明する。図 2、図 3 に示した第 1 利得制御信号補正回路 102 の具体的な回路構成を図 4 に示す。以下に示すトランジスタは断わりのない限り、N 型 MOS-FET (Nch MOS-FET) を示すものである。

【 0 0 7 6 】

トランジスタ M_1 はドレイン端子とゲート端子が接続され、ドレイン端子から I_{D1} が入力される。トランジスタ M_2 はドレイン端子が電源電圧 V_{DD} に接続され、ソース端子がトランジスタ M_1 のソース端子と接続されるとともに、電流源 I_o を介して接地される。トランジスタ M_2 のゲート端子は所定の電源 V_{BB} が接続される。トランジスタ M_2 のドレイン端子に流れる電流 I_{D2} は電流源 I_o の電流 I_o と I_{D1} の差電流が流れる ($I_{D2} = I_o - I_{D1}$)。図では、トランジスタ M_2 のドレイン端子は電源電圧 V_{DD} に接続されているが、 $I_{D2} = I_o - I_{D1}$ となるように電流が流れるものであれば、ドレイン端子の接続に変更があっても問題はない。

【 0 0 7 7 】

本回路において、 I_{D1} は以下の電流が流れるものとする。

【 0 0 7 8 】

【数 1 3】

$$I_{D1} = I_o \cdot \exp(-b \cdot V_x) \quad (17)$$

【 0 0 7 9 】

ここで、 b は正の定数、 V_x は第 3 利得制御信号補正回路 300 から出力される内部利得制御信号である。内部利得制御信号 V_x から式 (17) で示される I_{D1} に変換するには、バイポーラトランジスタを使用した指数関数特性を利用した方法を用いる。これに関しては特願平 10-370290 号 (特開平 2000-196386 号公報) で用いた手法で実現できるため、ここでは詳細を記さない。

また、特願平 10-370290 号とは異なる手法を用いて指数関数特性を得ることができれば、その手法を用いても特に問題はない。なお、図 4 において、内部利得制

御信号 V_x から電流源 I_{D1} に変換される回路ブロックは電流源 I_{D1} に含まれるとし、指数関数特性変換部の回路は特に記さない。

上記回路により構成された第1利得制御信号補正回路102の伝達関数は、 M_1 および M_2 が2乗特性を有すると仮定すると、以下の式で表される。

【0080】

【数14】

$$V_{z1} = \sqrt{\frac{I_{D2}}{\beta}} - \sqrt{\frac{I_{D1}}{\beta}} \\ = \frac{\sqrt{I_0 \{1 - \exp(-b \cdot V_x)\}} - \sqrt{I_0 \cdot \exp(-b \cdot V_x)}}{\sqrt{\beta}} \quad (18)$$

【0081】

ただし、 I_{D1} および I_{D2} は以下の式で表される。

【0082】

【数15】

$$I_{D1} = \beta (V_{GS1} - V_{TH})^2 \quad (19)$$

$$I_{D2} = \beta (V_{GS2} - V_{TH})^2 \quad (20)$$

【0083】

次に、図2、図3で示した第1可変利得増幅器101及び第2可変利得増幅器201について図5を参照して説明する。

【0084】

まず、第1可変利得増幅器101について説明する。トランジスタ M_{10} のドレイン端子は電源電圧 V_{DD} に接続され、ソース端子はトランジスタ M_{11} のソース端子を接続されるとともに、利得制御される所望信号が含まれる電流源 I_{sig} を介して接地される。トランジスタ M_{11} のドレイン端子は出力電流 I_{out} が流れる。

【0085】

M_{10} と M_{11} のゲート端子間には第1利得制御信号補正回路102の出力信号である

利得制御信号 V_{z1} が印加される。

【 0 0 8 6 】

また、 M_{10} のゲート端子は所定の V_{BB} が与えられるが、第 1 利得制御信号補正回路 102 ですでに与えられている場合は不要である。上記説明は第 1 可変利得増幅器 101 の説明であるが、第 2 可変利得増幅器 201 も同様である。

ただし、第 2 可変利得増幅器 201 の場合は、第 2 利得制御信号補正回路 202 又は第 4 利得制御信号補正回路 212 の出力信号である利得制御信号 V_{z2} が M_{10} と M_{11} のゲート端子間に印加されることになる。

【 0 0 8 7 】

次に、図 2 の第 2 利得制御信号補正回路 202 及び図 3 の第 4 利得制御信号補正回路 212 について図 6 を参照して説明する。第 2 利得制御信号補正回路 202 は、第 1 利得制御信号補正回路 102 と同様の回路である第 6 利得制御信号補正回路 122 と、 $I_{z1}=f(V_{z1})$ なる電圧電流変換回路 400 と、第 1 利得制御信号補正回路 102 と同様の回路である第 5 利得制御信号補正回路 112 とが縦列接続された回路である。ただし、第 5 利得制御信号補正回路 112 の入力電流は、上記電圧電流変換回路の出力電流 I_{z1} と所定の直流バイアス電流 I_{BB} の和電流が入力されるものとする。

【 0 0 8 8 】

$I_{z1}=f(V_{z1})$ が、 $V_{z1}=0\text{ V}$ （つまり $I_{D1}=I_{D2}$ ）の時、 I_{z1} が最大になり、 V_{z1} の絶対値が大きくなるに従い、 I_{z1} が小さくなる関数をもてば、第 2 利得制御信号補正回路 202 及び第 2 可変利得増幅器 201 により利得補正が可能であることを以下に示す。 $I_{D1}=I_{D2}$ のとき、図 2 の第 1 利得制御信号補正回路 102 及び第 1 可変利得増幅器 101 により、利得が 3 d B 小さくなる。この時、第 2 利得制御信号補正回路 202 における V_{z1} は 0 V となり、 I_{z1} は最大電流 $I_{z1,max}$ となる。第 5 利得制御信号補正回路 112 の入力信号はこの時最大値 $I_{z1,max}+I_{BB}$ (A) となるので、第 2 利得制御信号補正回路 202 の出力電圧である利得制御信号 V_{z2} は最小になる。したがって、図 5 に示した第 2 可変利得増幅器 201 の利得は最大値をとる。一方、 V_{z1} の絶対値が大きくなると、 I_{z1} が小さくなる。この場合は、第 5 利得制御信号補正回路 112 の入力電流が小さくなるため、第 2 利得制御信号補正回路 202 の出力電圧 V_{z2} は大きくなる。よって、図 5 に示した第 2 可変利得増幅器 201 の利得が下がる。

【 0 0 8 9 】

第 2 利得制御信号補正回路 202 及び第 2 可変利得増幅器 201 の動作をまとめると、 $V_{z1} = 0 \text{ V}$ で利得が最大になり、 V_{z1} の絶対値が大きくなるにつれ、利得が減少することになる。これから、第 1 利得制御信号補正回路 102 及び第 1 可変利得増幅器 101 による利得偏差を第 2 利得制御信号補正回路 202 及び第 2 可変利得増幅器 201 により補正することが可能となる。

【 0 0 9 0 】

ここで、第 1 の実施形態（図 2 の可変利得回路）の代わりに第 2 の実施形態（図 3 の可変利得回路）を用いる場合、図 3 の第 4 利得制御信号補正回路 212 は、図 3 の第 1 利得制御信号補正回路 102 から第 1 利得制御信号 V_{z1} を受け取るので、図 6 の第 6 利得制御信号補正回路 122 を必要としない。従って、第 2 の実施形態の回路構成は第 1 の実施形態の回路構成よりも小型になる。

【 0 0 9 1 】

次に、上記に示した $I_{z1} = f(V_{z1})$ の電圧電流変換回路 400 の実現方法の一例として、以下に示す 2 乗特性をもつ回路（2 乗回路）を用いた場合について図 7 を参照して説明する。

【 0 0 9 2 】

【数 1 6】

$$I_{z1} = q \cdot I_0 - m \cdot V_{z1}^2 \quad (21)$$

【 0 0 9 3 】

ここで、 q, m は定数である。

図 7 は、第 2 の実施形態に係り、第 1 可変利得増幅器 101 が 2 段縦列接続された後、第 4 利得制御信号補正回路 212 及び第 2 可変利得増幅器 201 による利得偏差補正回路に接続されるものを示している。尚、図の簡略化のため第 1 可変利得増幅器 101 を 1 段しか書いていないが、図中の“2 stages VGA”は第 1 可変利得増幅器 101 が 2 段縦列接続されている状態を表している。第 1 可変利得増幅器 101 が 2 段縦列接続されているので、利得 G_{MOS2} は式 (9) の 2 乗となり、以下の式で表される

。ただし、各可変利得段間の電流利得は 1 と仮定する。

【 0 0 9 4 】

【数 1 7】

$$G_{MOS2} = \frac{I_o \cdot \exp(-b \cdot V_x)}{I_o + 2\sqrt{I_{D1} \cdot I_{D2}}} \quad (22)$$

【 0 0 9 5 】

式(22)から、 $I_{D1}=I_{D2}$ のとき、利得 G_{MOS2} は 6 d B 減少することになる。以下、式(21)で与えられた電圧電流変換回路400及び第 2 可変利得増幅器201を用いて、利得補正が行えることを示す。また、説明を簡単にするため、各トランジスタの寸法比は1とし、 $I_{BB}=I_o/4$ とする。ここで、各トランジスタの寸法比とは、 W/L をいい、 W はチャネル幅、 L はチャネル長で、通常チャネル長 L は一定とする。

【 0 0 9 6 】

上記回路構成において、第 5 利得制御信号補正回路112の入力電流 I_A は以下の式で表される。

【 0 0 9 7 】

【数 1 8】

$$\begin{aligned} I_A &= \frac{I_o}{4} + q \cdot I_o - m \cdot V_{z1}^2 \\ &= \left(\frac{1}{4} + q \right) I_o - m \cdot V_{z1}^2 \\ &= p \cdot I_o - m \cdot V_{z1}^2 \end{aligned} \quad (23)$$

【 0 0 9 8 】

ここで、 $p=1/4+q$ とした。電圧電流変換回路400に入力される利得制御信号 V_{z1} は以下の式で表される。

【 0 0 9 9 】

【数 1 9】

$$V_{z1} = \sqrt{\frac{I_{D2}}{\beta}} - \sqrt{\frac{I_{D1}}{\beta}} \quad (24)$$

【0 1 0 0】

式(24)を式(23)に代入すると、 I_A は以下の式で表される。

【0 1 0 1】

【数 2 0】

$$I_A = \left(p - \frac{m}{\beta}\right) I_o + \frac{2m}{\beta} \sqrt{I_{D1} \cdot I_{D2}} \quad (25)$$

【0 1 0 2】

ただし、 $I_{D2} = I_o - I_{D1}$ である。

【0 1 0 3】

ここで、 $I_{D1} = 0$ A のとき、電圧電流変換回路400の出力電流 I_{z1} を0 Aとするように設計すると、

I_A および I_B は以下の式で表される。

【0 1 0 4】

【数 2 1】

$$I_A = \frac{1}{4} I_o + \frac{2m}{\beta} \sqrt{I_{D1} \cdot I_{D2}} \quad (26)$$

$$I_B = \frac{3}{4} I_o - \frac{2m}{\beta} \sqrt{I_{D1} \cdot I_{D2}} \quad (27)$$

【0 1 0 5】

この時、第2可変利得増幅器201の利得 G_{CMP1} は以下のように表される。

【0 1 0 6】

【数 2 2】

$$G_{CMP1} = \frac{\sqrt{I_A}}{\sqrt{I_A} + \sqrt{I_B}}$$

$$= \sqrt{\frac{I_A}{I_0 + 2\sqrt{I_A \cdot I_B}}} \quad (28)$$

【0 1 0 7】

式(26),式(27)を式(28)に代入すると、第2可変利得増幅器201の利得 G_{CMP1} は I_{D1} の関数で表される。

【0 1 0 8】

理想の可変利得増幅器の利得 G_{CMP} および本回路の第2可変利得増幅器201の利得 G_{CMP1} の誤差を比べるため、それぞれの利得を最大値で規格化した $G_{CMP}/G_{CMP,MAX}$ と $G_{CMP1}/G_{CMP1,MAX}$ を比べる。比較表を表1に示す。ただし、 $p=0.9$ とした。

【0 1 0 9】

【表 1】

I_{D1}	$G_{CMP}/G_{CMP,MAX}$	$G_{CMP1}/G_{CMP1,MAX}$	利得偏差
0	-6dB	-6.1dB	-0.1dB
0.05 I_0	-2.9dB	-3.2dB	-0.3dB
0.1 I_0	-1.9dB	-2.4dB	-0.5dB
0.2 I_0	-0.9dB	-1.2dB	-0.3dB
0.3 I_0	-0.4dB	-0.6dB	-0.2dB
0.4 I_0	-0.1dB	-0.1dB	0dB
0.5 I_0	0dB	0dB	0dB
0.6 I_0	-0.1dB	-0.1dB	0dB
0.7 I_0	-0.4dB	-0.6dB	-0.2dB
0.8 I_0	-0.9dB	-1.2dB	-0.3dB
0.9 I_0	-1.9dB	-2.4dB	-0.5dB
0.95 I_0	-2.9dB	-3.2dB	-0.3dB
I_0	-6dB	-6.1dB	-0.1dB

【0 1 1 0】

表 1 により、式(21)で示した 2 乗特性をもつ電圧電流変換回路400を $I_{z1}=f(V_{z1})$ に用いることで、利得偏差が0.5 dB以下が得られることになる。このことから、本発明の第4利得制御信号補正回路212と第2可変利得増幅器201により十分利得補正が可能であることが示される。

【0111】

次に、上で用いられた電圧電流変換回路400の一例を図8を参照して説明する。トランジスタ M_{30} のドレイン端子はトランジスタ M_{33} のドレイン端子と接続されるとともに、負の電流出力端子 I_- とされる。トランジスタ M_{31} のドレイン端子はトランジスタ M_{32} のドレイン端子に接続されるとともに正の電流出力端子 I_+ とされる。トランジスタ M_{30} のゲート端子はトランジスタ M_{31} のゲート端子に接続され、利得制御信号 V_{z1} の一方が入力される。トランジスタ M_{32} のゲート端子はトランジスタ M_{33} のゲート端子に接続されるとともに、利得制御信号 V_{z1} のもう一方が入力される。トランジスタ M_{30} とトランジスタ M_{32} のソース端子は共通接続され、電流源 I_0 を介して接地される。この電流源 I_0 、すなわち差動回路のバイアス電流はテール電流 (tail current) ともいう。

【0112】

トランジスタ M_{31} とトランジスタ M_{33} のソース端子は共通接続され、電流源 I_0 を介して接地される。 $M_{30}, M_{31}, M_{32}, M_{33}$ の寸法比は $1:K:K:1$ とする。出力電流 I_{z1} は I_+ と I_- の差により得られるものとする。このように構成された回路の出力電流 I_{z1} は以下の式で表される。

【0113】

【数 2 3】

$$I_{z1} = 2 \frac{K-1}{K+1} I_o - 4 \frac{K(K-1)\beta}{(K+1)^2} - V_{z1}^2 \quad (29)$$

$$; |V_{z1}| \leq \sqrt{\frac{I_o}{K \cdot \beta}}$$

$$I_{z1} = - \frac{2K(K-1)\beta}{(K+1)^2} V_{z1}^2 + \frac{2K \cdot I_o}{K+1} - \frac{4K \cdot \beta \sqrt{\frac{(K+1) I_o}{\beta}} - K \cdot V_{z1}^2}{(K+1)^2} |V_{z1}| \quad (30)$$

$$; \sqrt{\frac{I_o}{K \cdot \beta}} \leq |V_{z1}| \leq \sqrt{\frac{I_o}{\beta}}$$

$$I_{z1} = 0 \quad (31)$$

【0 1 1 4】

$|V_{z1}| \leq \sqrt{(I_o/(K \cdot \beta))}$ の範囲内では式(29)に示されるように、2乗特性が得られることがわかる。したがって、本回路による式(29)と式(21)を比較して、以下のように設定すれば、第2利得制御信号補正回路202又は第4利得制御信号補正回路212が実現できる。

【0 1 1 5】

【数 2 4】

$$q = 2 \frac{K-1}{K+1} \quad (32)$$

【0 1 1 6】

【数 2 5】

$$m = 4 \frac{K(K-1)\beta}{(K+1)^2} \quad (33)$$

【0 1 1 7】

次に、MOS-FET特有の利得偏差の補正について説明する。図9は、MOS-FETの動作領域が強反転状態から弱反転状態への遷移による利得を補正する第3利得制御信号補正回路300の入出力特性のグラフ図である。第3利得制御信号補正回路300

の利得は、外部から与えられた外部利得制御信号 V_C が0 Vから V_{C1} までの間では利得 $a+b$ となり、外部利得制御信号 V_C が V_{C1} 以上では利得 a となる。

【0 1 1 8】

その内部利得制御信号 V_x は第1利得制御信号補正回路102又は第2利得制御信号補正回路202に与えられるものである。定数 b はMOS-FETの弱反転領域の指数関数特性により決まるが、一般にほぼ a の値をとる。

【0 1 1 9】

従って、内部利得制御信号 V_x は以下のように表される。

【0 1 2 0】

【数 2 6】

$$V_x = a \cdot V_C + b \cdot \min(V_C, V_{C1}) \quad (34)$$

【0 1 2 1】

ここで、 $\min(V_C, V_{C1})$ は V_C, V_{C1} のうち小さい方の値をとる。このような第3利得制御信号補正回路300により、MOS-FETの動作領域が強反転状態から弱反転状態への遷移による利得偏差を補正できる。

【0 1 2 2】

この特性を実現する具体的な回路を図10に示す。本回路は差動回路を2つ並列接続した $M_{51} \sim M_{55}$ 、電流源 I_O と抵抗 R_1 からなる回路501ともう一つの差動回路を2つ並列接続した $M_{56} \sim M_{62}$ 、電流源 I_O 、抵抗 R_1 からなる回路502の出力が共通接続されたものである。

【0 1 2 3】

ただし、 $M_{52}, M_{55}, M_{58}, M_{61}$ はN型のFETであり、それ以外のFETはP型である。回路501は、外部利得制御信号 V_C が0 Vのとき、出力端子には電流が出力されず、外部利得制御信号 V_C が高くなるにつれ、出力電流 I_x が出力端子から流れるように動作する。回路502は回路501と同じように動作するが、 V_{BB11} と M_{62} により M_{62} のソース電位の最大値は制限されてしまう。このため、回路502では V_C が所定の電位以上になると、出力電流は固定されてしまう。

【0 1 2 4】

本回路では、外部利得制御信号 V_C が所定の電位以下では回路501,回路502の利得が $1/R_1$ となるように設定されているが、利得を異なるように設定する場合は、回路502の抵抗値 R_1 を回路501の抵抗値 R_1 と異なるように設定すればよい。また、本回路では出力を電流 I_x としているが、この電流を抵抗に流すことで電圧出力が得られ、図9で示した内部利得制御信号 V_x に変換できる。

【0125】

上記の説明からわかるように、図9に示された利得 a, b は回路501,回路502の抵抗 R_1 を所定の値にすることで得られることとなる。

【0126】

これまでの説明においては、所望信号(被制御信号)を単相入力、単相出力としたが、差動入力、差動出力としても同様に利得制御が可能である。図11に第1可変利得増幅器101又は第2可変利得増幅器102を差動回路にて構成した回路(101A又は102A)を示す。また、図12に図7に示した可変利得回路を差動回路にて構成した回路を示す。

【0127】

上述したように、本発明を用いることで、外部から与えられる外部利得制御信号 V_C に対しdB表示された利得が直線的に変化する外部利得制御信号 V_C の制御電圧範囲を拡大できる。したがって、無線機の利得制御が容易になる。さらに、最大利得時まで指数関数的に利得を変化させることができるため、S/N比を高く維持できる。

【0128】

(応用例) 本発明による可変利得回路の応用システムの例として、携帯電話機その他の移動無線通信機器における無線送受信機回路の構成を示している。尚、ここでは送受の切り換えを時分割で行うTDD(Time Division Duplex)方式を例として説明するが、これに限るものではない。

【0129】

送信時には、送信側ベースバンド処理部601からベースバンド信号発生部で発生された直交した二つのベースバンド信号 $I_{ch}(TX)$, $Q_{ch}(TX)$ が適当な帯域制限フィルタにより処理されて出力される。ここで、ベースバンド信号とは伝送しよう

とする信号そのものをいう。これらのベースバンド信号 $I_{ch}(TX)$ 、 $Q_{ch}(TX)$ は乗算器602,603と加算器604からなる直交変調器に入力され、周波数 f_{L02} の第2局部発振信号を変調する。第2局部発振信号は局部発振器801で発生され、 90° 移相器($90-PS$)802により直交した2つの信号に分割されて直交変調器に入力される。

【0130】

この直交変調器から出力される変調後の信号は IF 信号であり、可変利得回路605に入力される。可変利得回路605は、これまで説明した本発明に基づく可変利得回路であり、図示しない制御系からの利得制御信号(外部利得制御信号 V_C に相当)に従って入力の IF 信号を適当な信号レベルに調整する。

【0131】

この場合、 IF 信号は電流信号として可変利得回路605に与えられる。さらに、先に説明した可変利得回路では出力信号が電流信号として取り出されるが、可変利得回路605の出力として電圧信号が要求される場合には、電流信号が電圧信号に変換されて出力される。

【0132】

可変利得回路605から出力される IF 信号は、一般に直交変調器及び可変利得回路605で発生する不要な高調波を含むため、この不要成分を除去するためのローパスフィルタ(LPF)又はバンドパス(BPF)からなるフィルタ606を介してアップコンバータ607に入力される。

【0133】

アップコンバータ607は、 IF 信号と第1局部発振器804で発生される周波数 f_{L01} の第1局部発振信号との乗算を行い、周波数 $f_{L01}+f_{L02}$ の RF 信号と周波数 $f_{L01}-f_{L02}$ の RF 信号を生成する。これら二つの RF 信号のいずれか一方が所望波とされ、一方は不要なイメージ信号である。ここでは、周波数 $f_{L01}+f_{L02}$ の RF 信号を所望波とするが、周波数 $f_{L01}-f_{L02}$ の RF 信号を所望波としてもよい。イメージ信号は、 BPF からなるイメージ除去用フィルタ608により除去される。所望波は電力増幅器609により所要の電力レベルまで増幅された後、送受切り替えスイッチ(又はデュプレクサ)805を介してアンテナ806に供給され、電波

として放射される。

【 0 1 3 4 】

一方、受信時には、アンテナ806から出力される受信RF信号が送受切り替えスイッチ（又はデュプレクサ）805及びBPFからなるフィルタ701を介して低雑音増幅器（LNA）702に入力される。LNA702により増幅された受信RF信号は、BPFからなるイメージ除去用フィルタ703を介してダウンコンバータ704に入力される。

【 0 1 3 5 】

ダウンコンバータ704は、第1局部発振器804で発生される周波数 f_{L01} の第1局部発振信号と受信RF信号の乗算を行い、受信RF信号をIF信号に周波数変換する。このIF信号はBPFからなるフィルタ705を通過した後、可変利得回路706を介して分波器（図示せず）及び乗算器707,708からなる直交復調器に入力される。

【 0 1 3 6 】

ここで、可変利得回路706は送信側の可変利得回路605と同様に、これまで説明した本発明に基づく可変利得回路であり、図示しない制御系からの利得制御信号（外部の利得制御信号 V_C に相当）に従って入力 of IF信号を適当な信号レベルに調整する。この場合も、IF信号は電流信号として可変利得回路706に与えられ、また可変利得回路706の出力として電圧信号が要求される場合には、電流信号が電圧信号に変換されて出力される。

【 0 1 3 7 】

上記の直交復調器には、送信側の直交変調器と同様に第2局部発振器801から 90° 移相器803を介して直交した周波数 f_{L02} の第2局部発振信号が入力される。この直交復調器の出力 $I_{ch}(RX)$ 及び $Q_{ch}(RX)$ は受信側ベースバンド処理部709に入力され、ここで受信信号が復調されることにより、元のベースバンド信号が再生される。

【 0 1 3 8 】

尚、この応用例ではIF段の可変利得回路605,706に本発明を適用すると述べてきたが、高周波回路である送信側の電力増幅器609や受信側のLNA702を可変

利得回路で構成する場合にも、本発明の可変利得回路の構成を適用することができる。これらの場合、基本的には入力信号が I F 信号から R F 信号に変わるだけである。

【 0 1 3 9 】

【発明の効果】

本発明によれば、外部から供給された利得制御信号に対してデシベル表示した利得を直線的に調節できるような電界効果トランジスタを用いた可変利得回路を提供することができる。

【図面の簡単な説明】

- 【図 1】 本発明に係る可変利得回路の特性および補正手法の概略図。
- 【図 2】 本発明の第 1 の実施形態に係る可変利得回路のブロック図。
- 【図 3】 本発明の第 2 の実施形態に係る可変利得回路のブロック図。
- 【図 4】 第 1 利得制御信号補正回路 102 の回路図。
- 【図 5】 第 1 可変利得増幅器 101 の回路図。
- 【図 6】 第 2 利得制御信号補正回路 202 及び第 4 利得制御信号補正回路 212 の回路図。
- 【図 7】 図 3 に示した可変利得回路の具体的な回路図。
- 【図 8】 電圧変換回路 400 の回路図。
- 【図 9】 第 3 利得制御信号補正回路 300 の入出力特性のグラフ図。
- 【図 1 0】 第 3 利得制御信号補正回路 300 の回路図。
- 【図 1 1】 第 1 可変利得増幅器 101 又は第 2 可変利得増幅器 102 を差動回路にて構成した回路図。
- 【図 1 2】 図 7 に示した可変利得回路を差動回路にて構成した回路図。
- 【図 1 3】 ヘテロダイン方式による無線送受信機の無線回路部の構成例を示すブロック図。
- 【図 1 4】 従来のバイポーラトランジスタを用いた可変利得回路の回路図。
- 【図 1 5】 (a) 従来のバイポーラトランジスタを用いた可変利得回路のブロック図、(b) 利得制御信号 V_C と電圧利得 $GAIN(V_{OUT}/V_{IN})$ の関係を示すグラフ。
- 【図 1 6】 図 1 4 で説明した可変利得回路のバイポーラトランジスタを MOS-FE

Tに置き換えた場合の回路図。

【図 1 7】 図 1 6 で示した回路のブロック図と利得(dB)-利得制御信号特性のグラフ。

【符号の説明】

- 1 バイポーラトランジスタを用いた可変利得増幅器
- 2 バイポーラトランジスタを用いた利得制御信号補正回路
- 1 1 FETを用いた可変利得増幅器
- 1 2 FETを用いた利得制御信号補正回路
- 1 0 1 第 1 可変利得増幅器
- 1 0 2 第 1 利得制御信号補正回路
- 1 1 2 第 5 利得制御信号補正回路
- 1 2 2 第 6 利得制御信号補正回路
- 2 0 1 第 2 可変利得増幅器
- 2 0 2 第 2 利得制御信号補正回路
- 2 1 2 第 4 利得制御信号補正回路
- 3 0 0 第 3 利得制御信号補正回路
- 4 0 0 電圧電流変換回路
- 6 0 1 送信側ベースバンド信号処理部
- 6 0 2, 6 0 3, 7 0 7, 7 0 8 乗算器
- 6 0 4 加算器
- 6 0 5, 7 0 6 可変利得回路
- 6 0 6, 6 0 8, 7 0 1, 7 0 3, 7 0 5 フィルタ
- 6 0 7 アップコンバータ
- 6 0 9 電力増幅器
- 7 0 2 低雑音増幅器
- 7 0 4 ダウンコンバータ
- 7 0 9 受信側ベースバンド信号処理部
- 8 0 1 第 2 局部発振器
- 8 0 2, 8 0 3 9 0 度移相器

8 0 4 第 1 局 部 発 振 器

8 0 5 送 受 切 り 替 え ス イ ッ チ 又 は デ ュ プ レ ク サ

8 0 6 ア ン テ ナ

R_n (n =整数) 抵 抗

C_n (n =整数) キ ャ パ シ タ

Q_n (n =整数) バ イ ポ ー ラ ト ラ ン ジ ス タ

M_n (n =整数) M O S ト ラ ン ジ ス タ

I_{Dn} (n =整数, アルファベット) ド レ イ ン 電 流

I_n (n =整数, アルファベット) 電 流 源 ま た は 電 流

V_C 外 部 か ら 与 え ら れ る 外 部 利 得 制 御 信 号

V_x 回 路 内 部 の 内 部 利 得 制 御 信 号

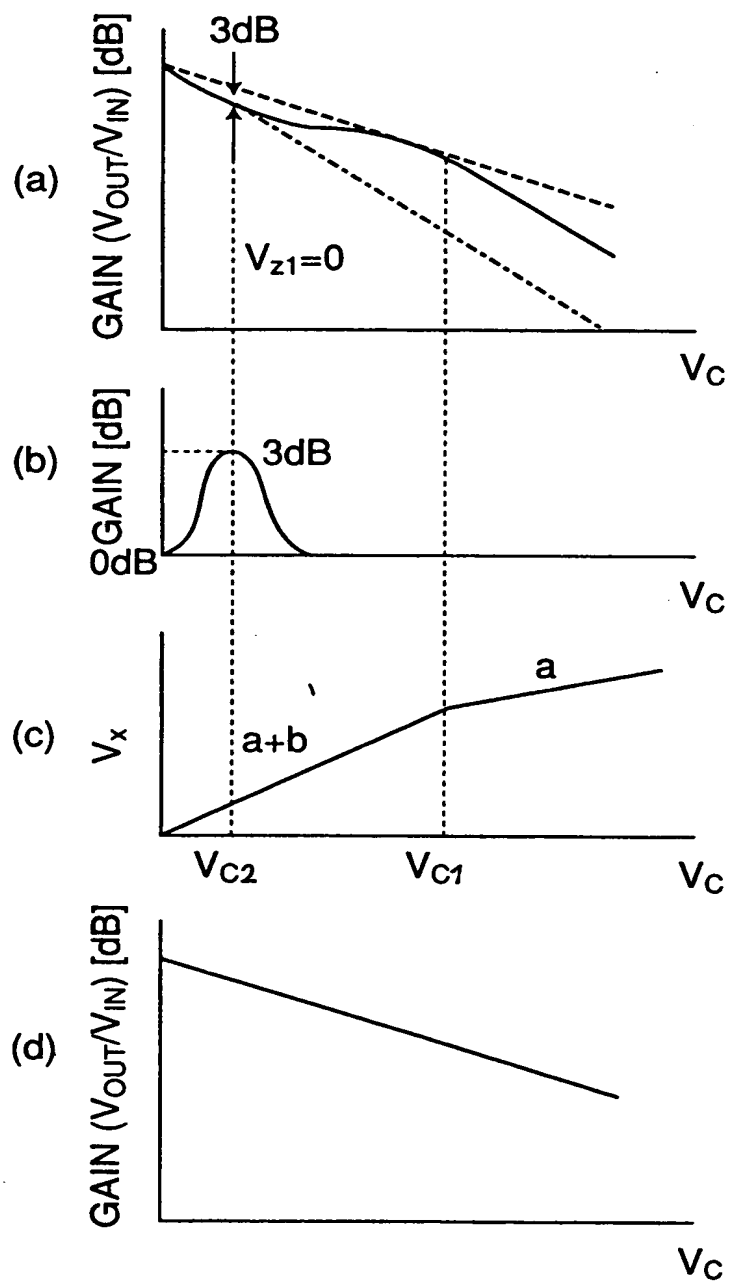
V_{z1}, V_{z2} 第 1 及 び 第 2 利 得 制 御 信 号

V_{DD} 正 電 圧 源

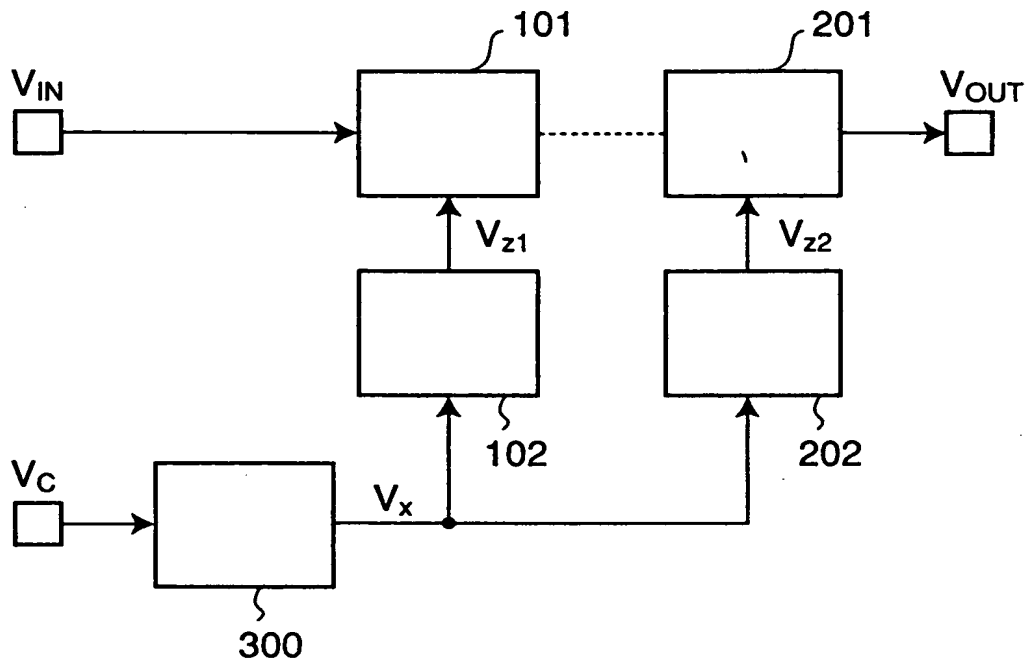
V_{BB} 電 圧 源

【書類名】 図面

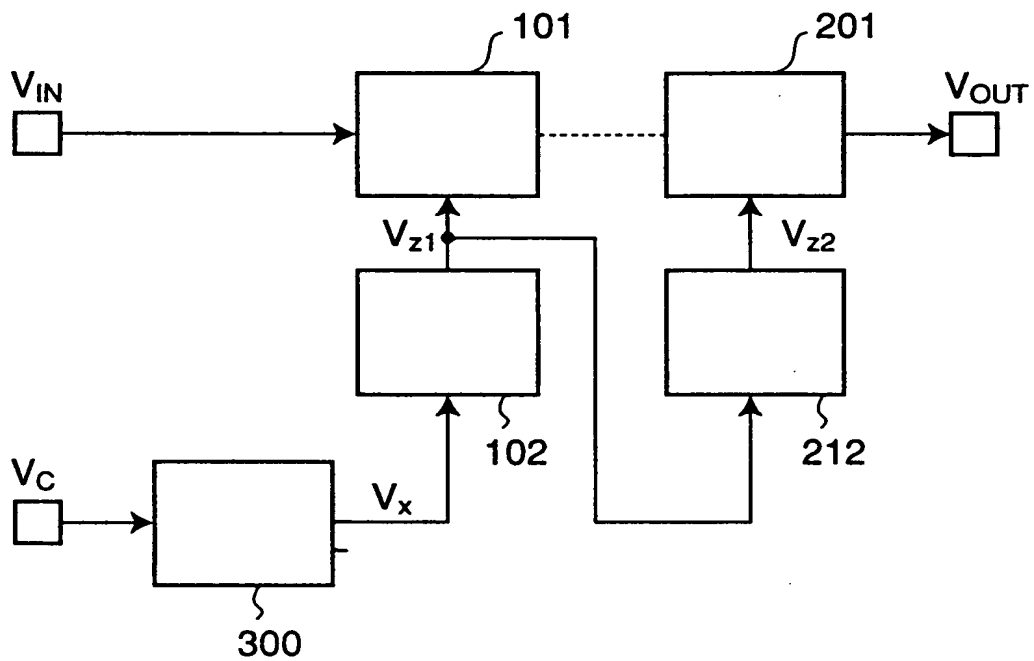
【図 1】



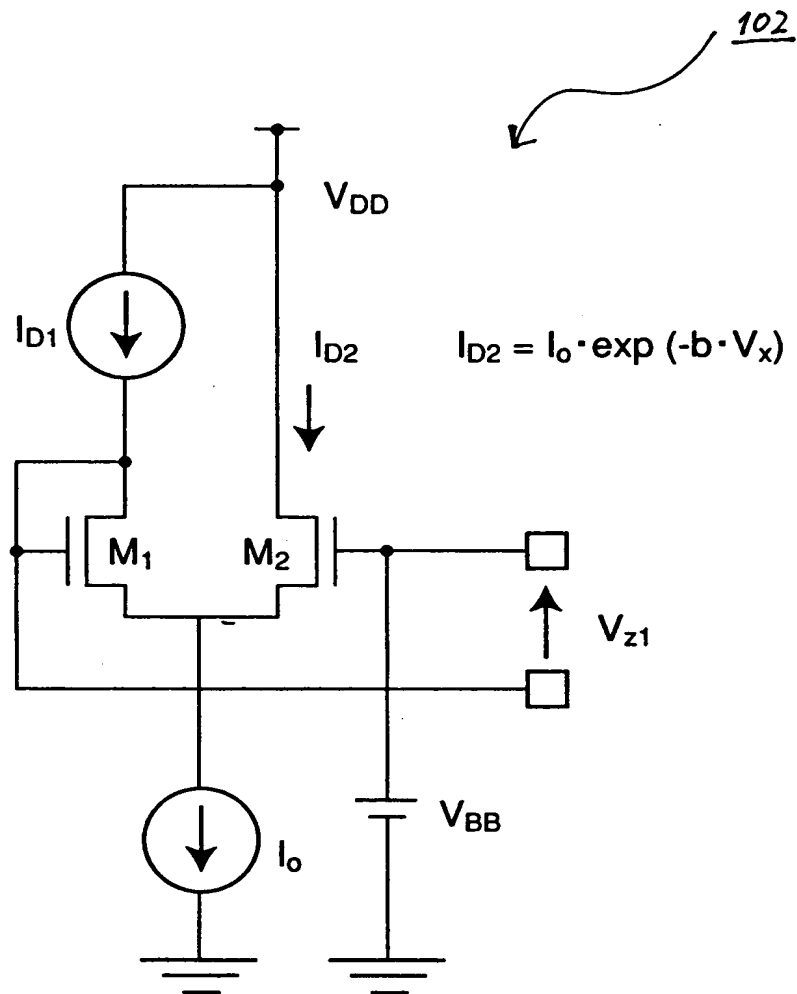
【図 2】



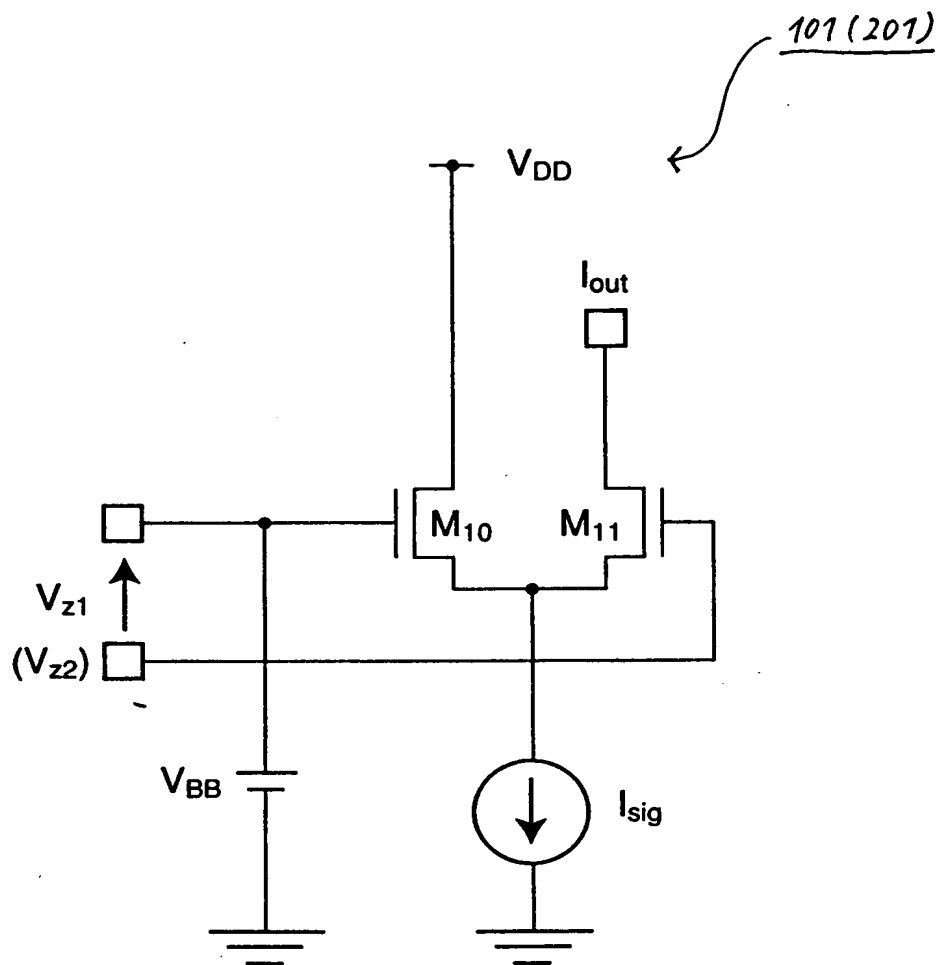
【図 3】



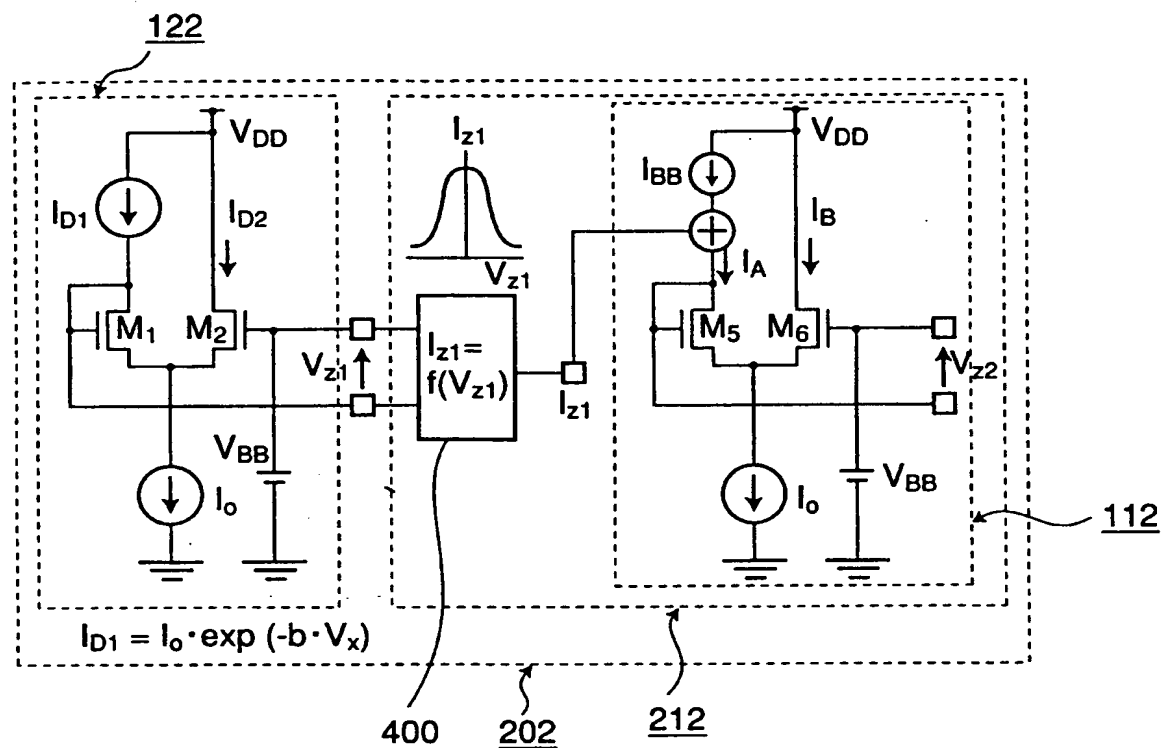
【図 4】



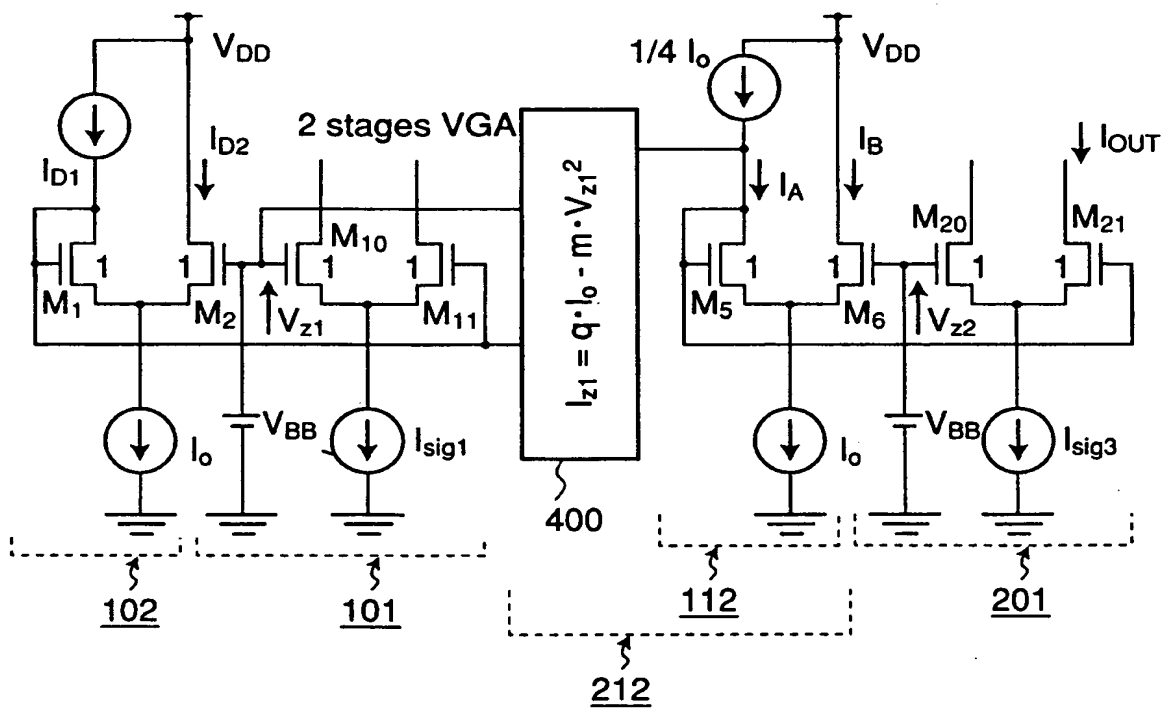
【図 5】



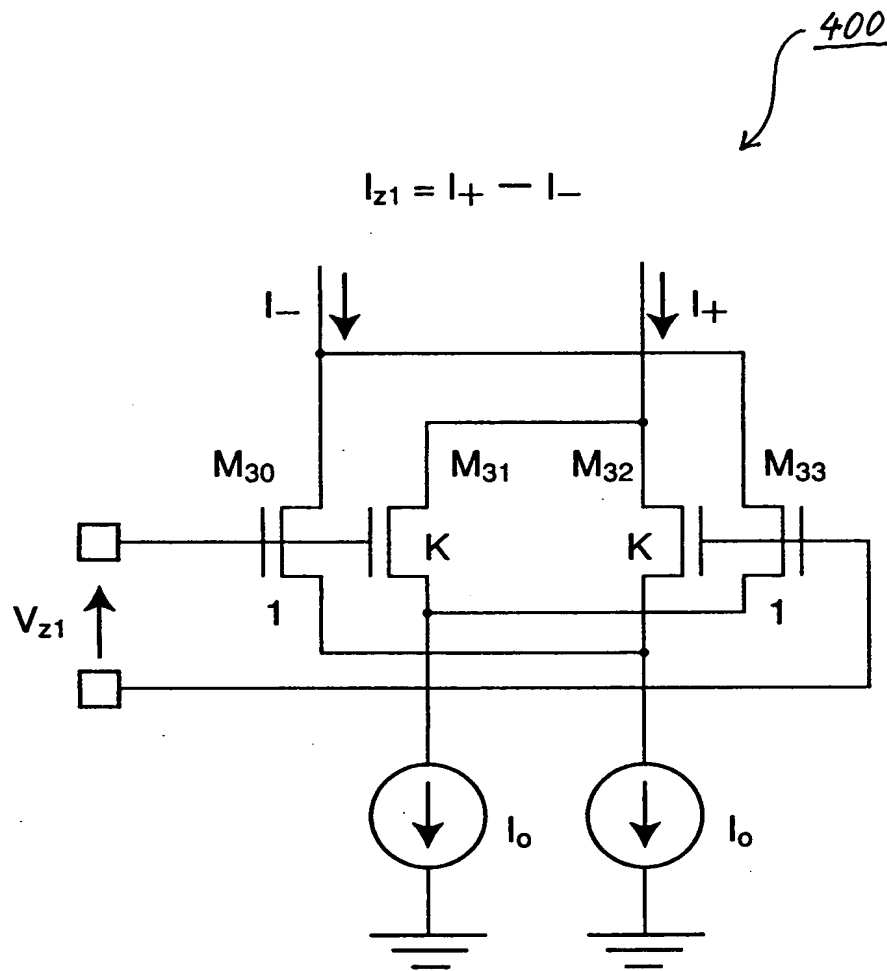
【図 6】



【図 7】

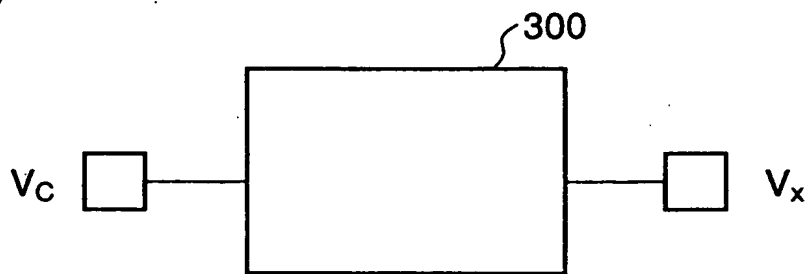


【図 8】

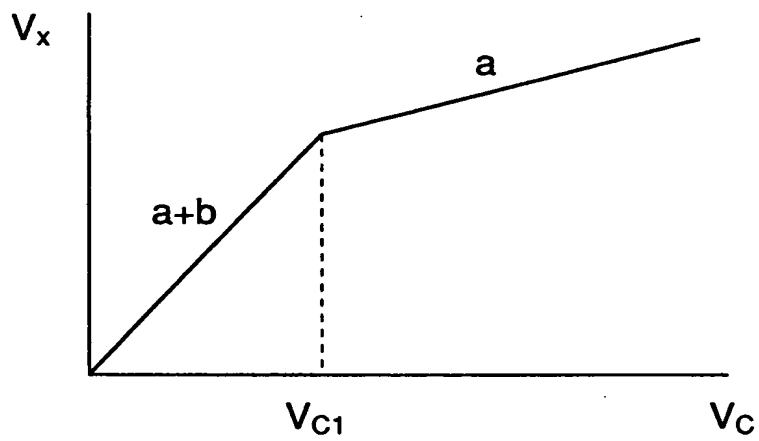


【図 9】

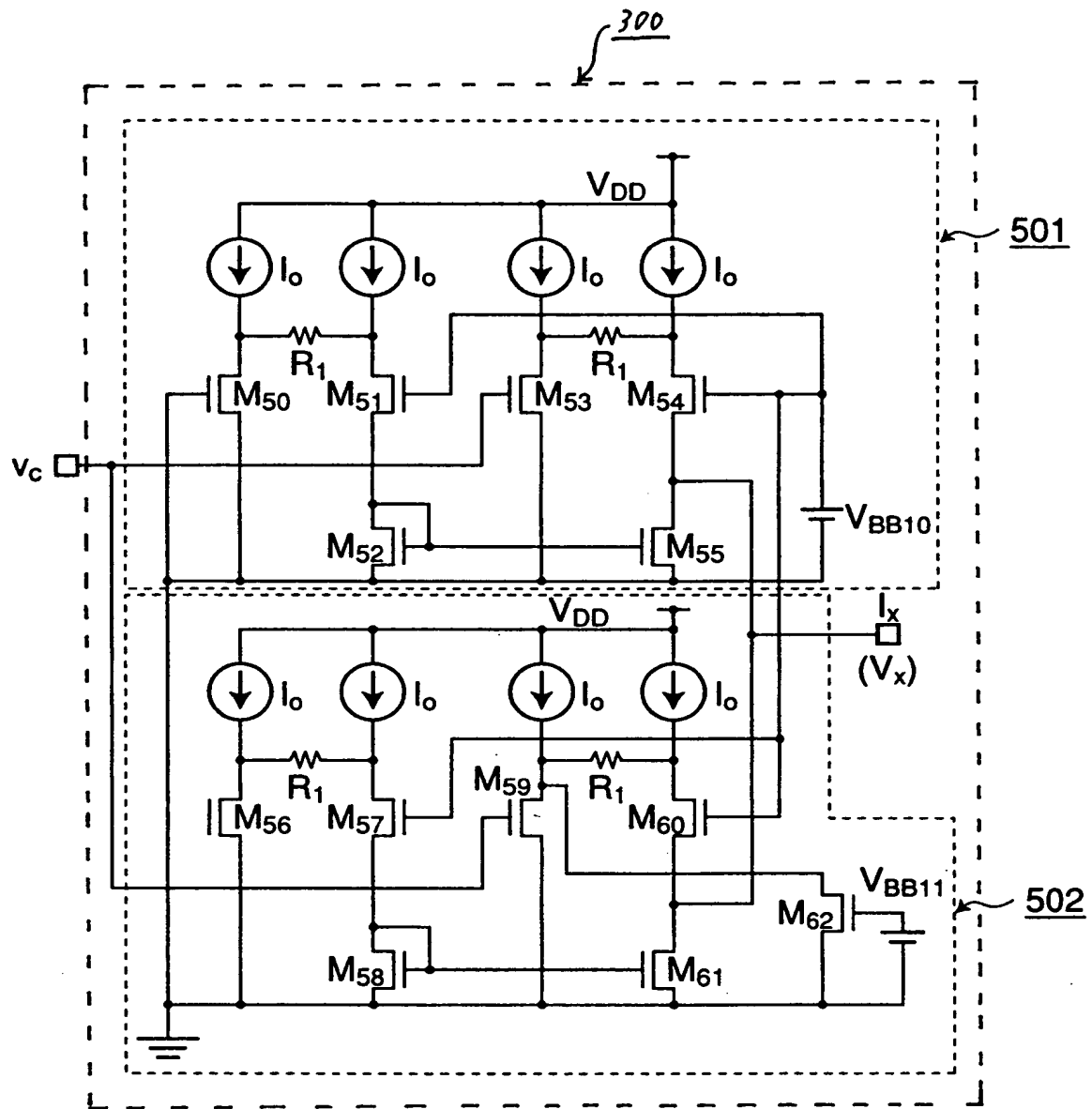
(a)



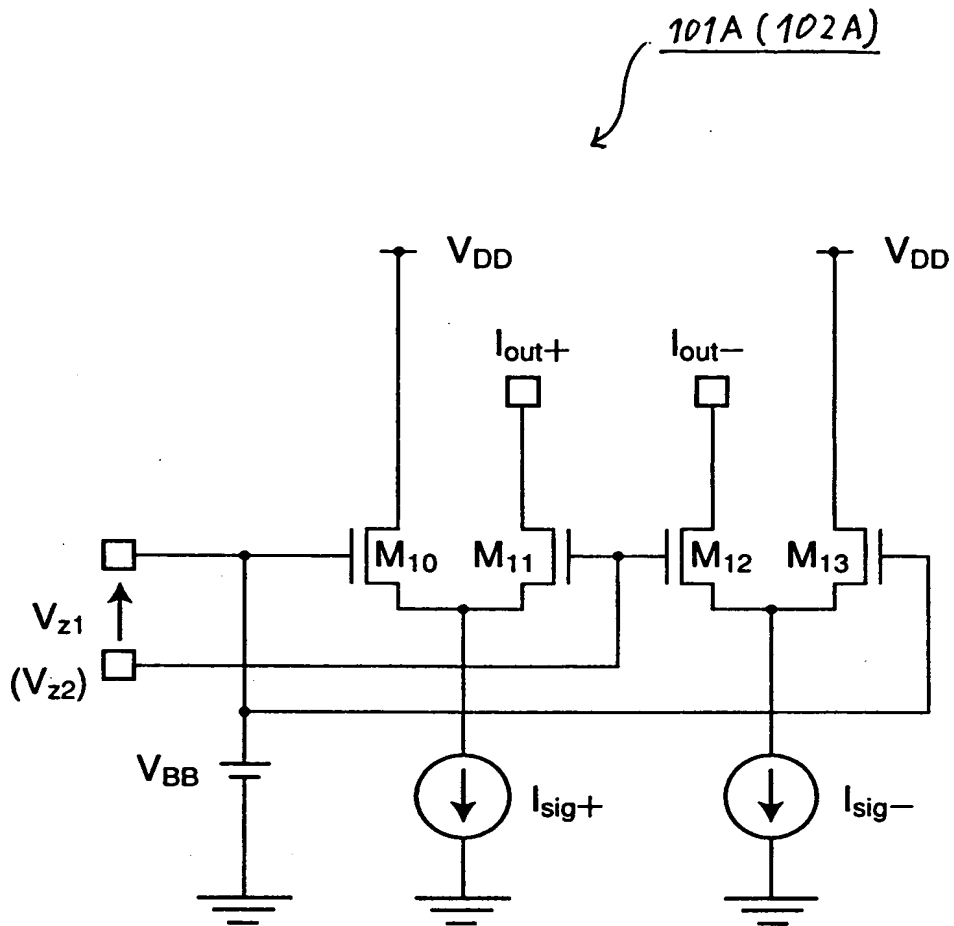
(b)



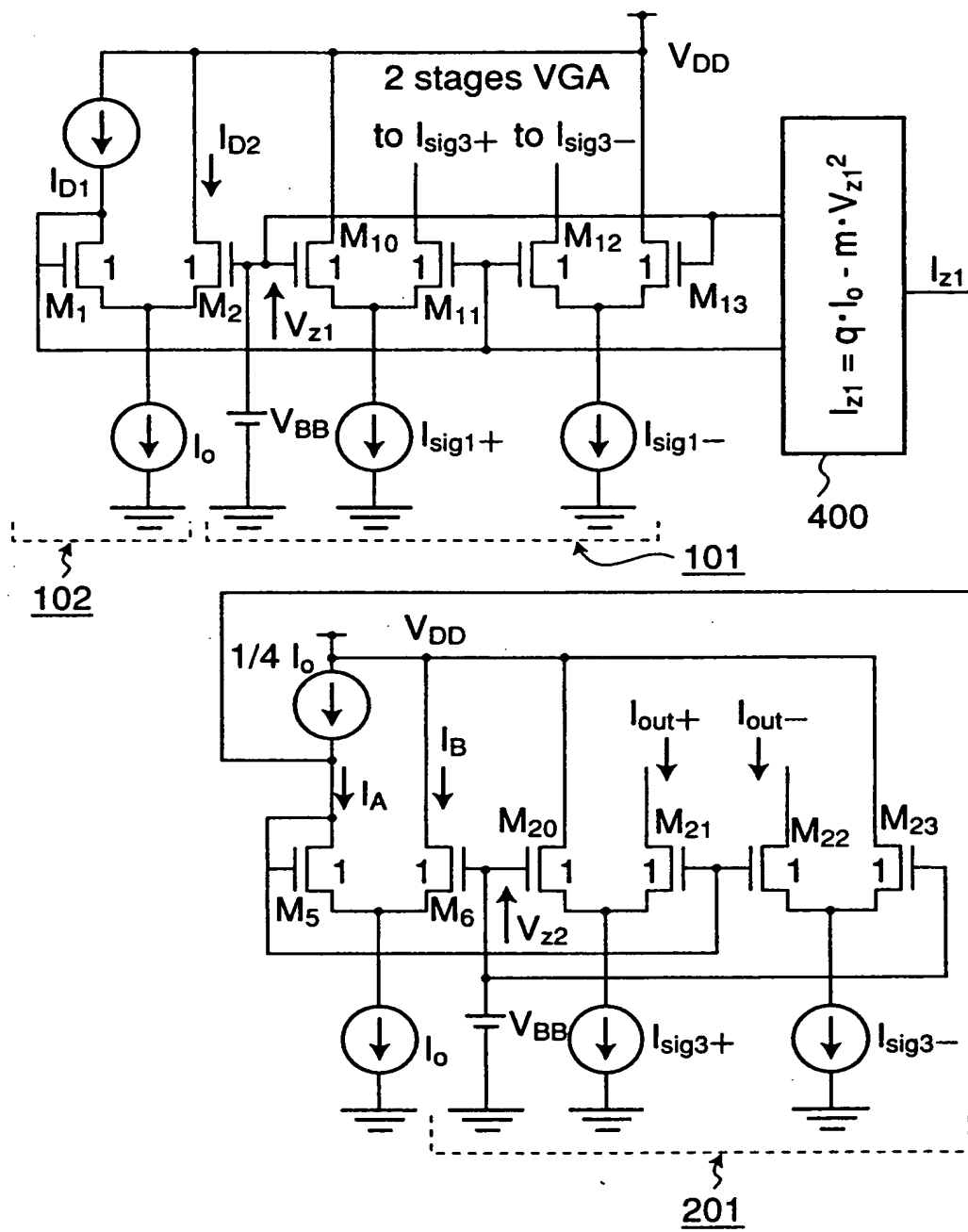
【図 10】



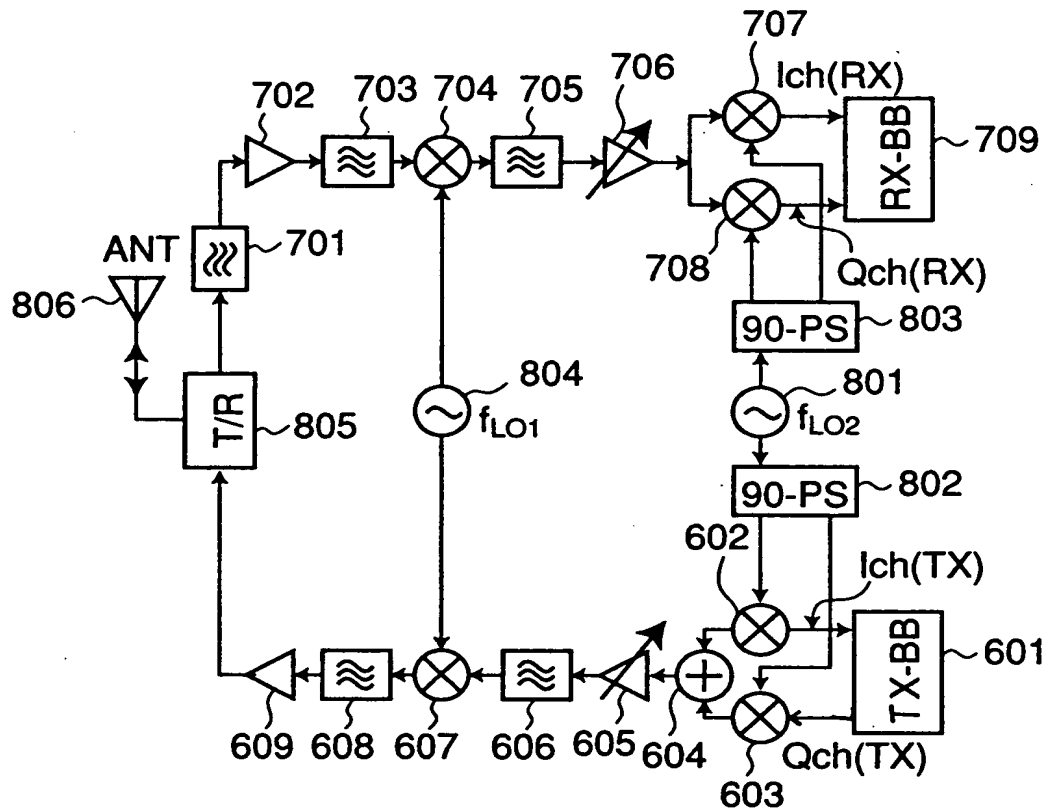
【図 1 1】



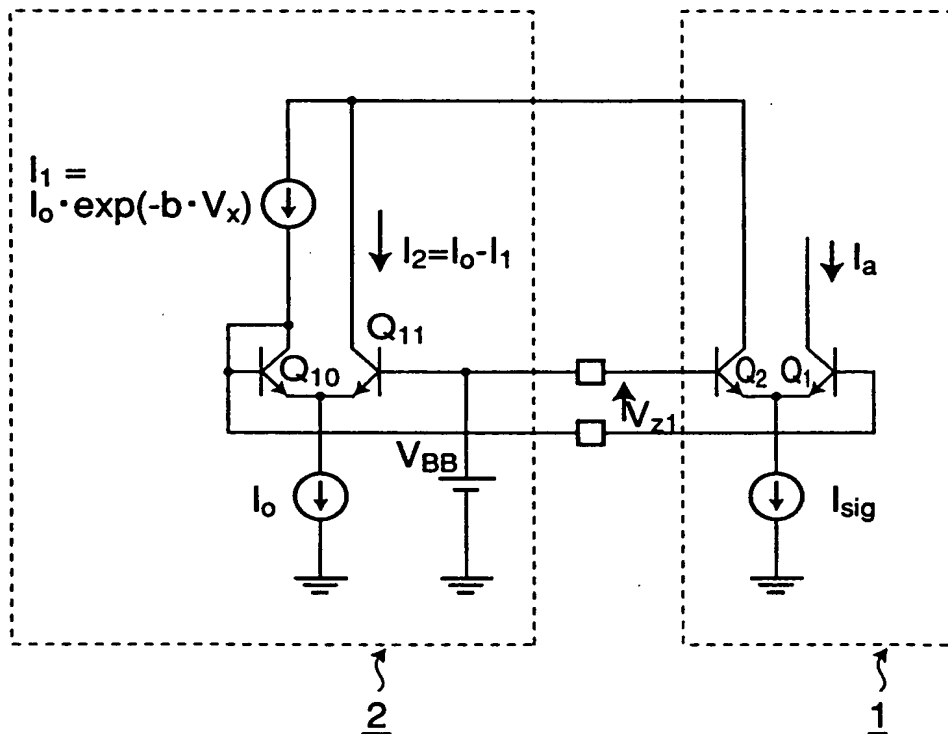
【図 1 2】



【図 13】

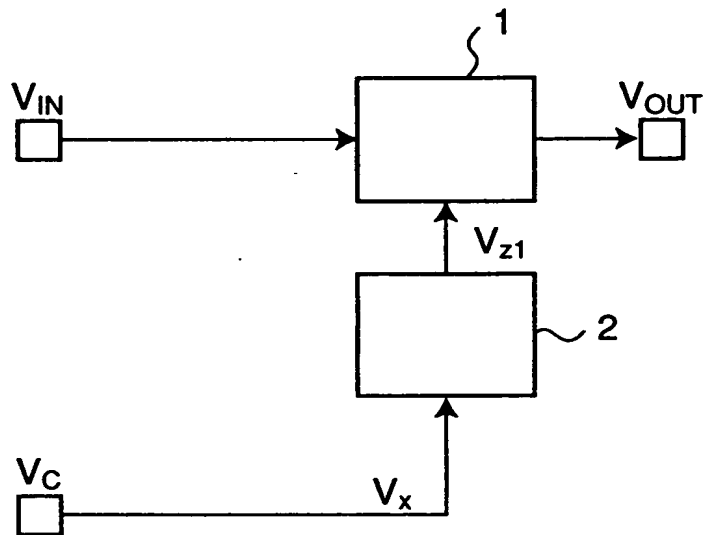


【図 14】

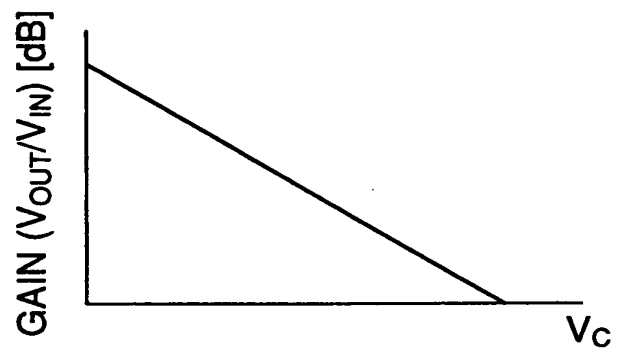


【図 1 5】

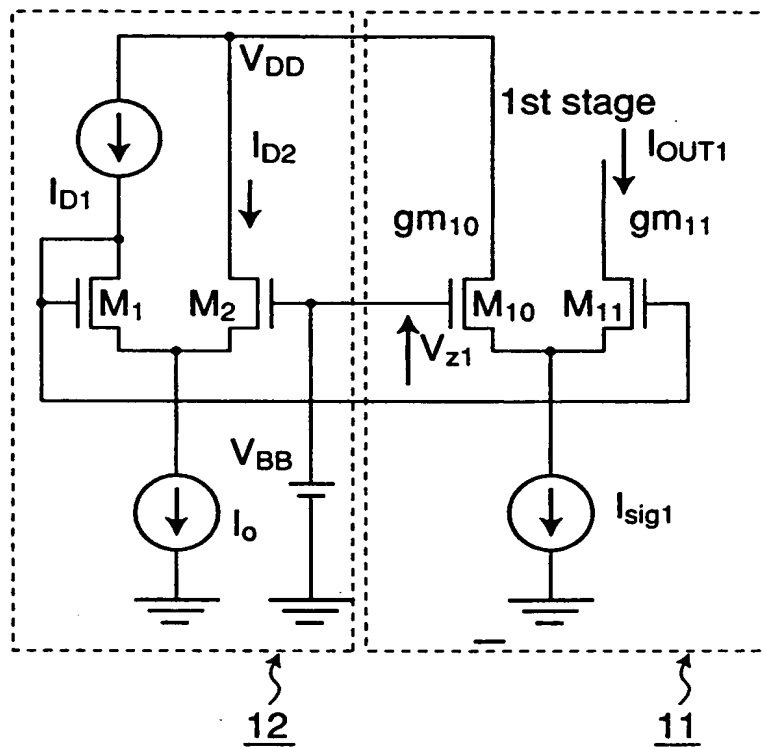
(a)



(b)

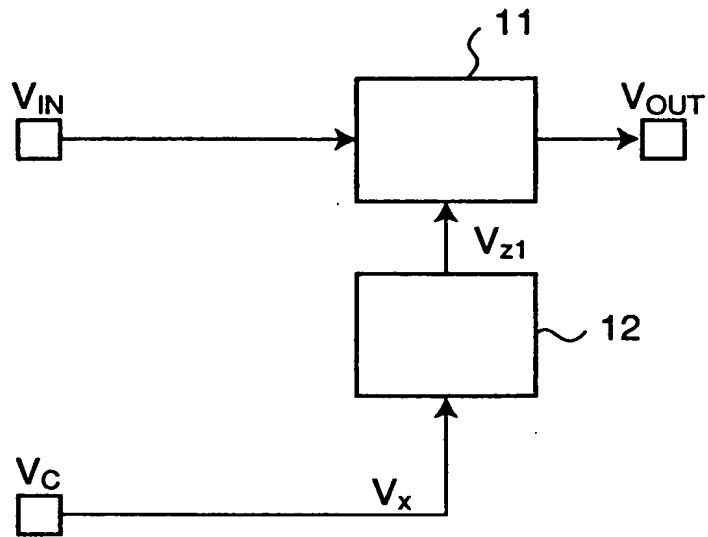


【図 1 6】

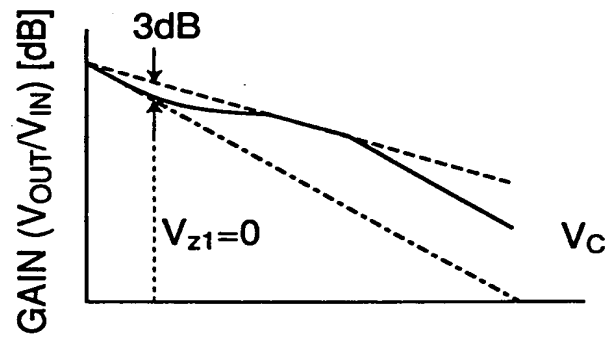


【図 1 7】

(a)



(b)



【書類名】 要約書

【要約】

【課題】 外部から供給された外部利得制御信号に対してデシベル表示した利得を直線的に調節できるような電界効果トランジスタを用いた可変利得回路を提供することである。

【解決手段】 入力信号を入力し、増幅された増幅信号を出力する第 1 可変利得増幅器(101)と、前記増幅信号を入力し、増幅された出力信号を出力する第 2 可変利得増幅器(201)と、外部利得制御信号(V_C)に基づいて、前記第 1 可変利得増幅器の利得を制御する第 1 利得制御信号(V_{z1})を出力する第 1 利得制御信号補正回路(102)と、前記外部利得制御信号に基づいて、前記第 2 可変利得増幅器の利得を制御する第 2 利得制御信号(V_{z2})を出力する第 2 利得制御信号補正回路(202)を備える可変利得回路。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願2000-284708
受付番号	50001203505
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年 9月26日

<認定情報・付加情報>

【提出日】	平成12年 9月20日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝